



**UNIVERSIDADE FEDERAL DO PIAUÍ**  
**CENTRO DE TECNOLOGIA**  
**PROGRAMA DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA**

**MAX DANNYELL DE CARVALHO ALVES**

**MODULAÇÃO SHE-PWM APLICADA EM UM INVERSOR MULTINÍVEL  
HÍBRIDO SIMÉTRICO TRIFÁSICO DE CINCO NÍVEIS BASEADO NAS  
TOPOLOGIAS HALF-BRIDGE E ANPC**

**TERESINA**

**2018**

**MAX DANNYELL DE CARVALHO ALVES**

**MODULAÇÃO SHE-PWM APLICADA EM UM INVERSOR MULTINÍVEL  
HÍBRIDO SIMÉTRICO TRIFÁSICO DE CINCO NÍVEIS BASEADO NAS  
TOPOLOGIAS HALF-BRIDGE E ANPC**

Dissertação apresentada ao curso de mestrado em Engenharia Elétrica da Universidade Federal do Piauí, como parte dos requisitos para a obtenção do título de mestre em Engenharia Elétrica.

Orientadora: Prof<sup>a</sup>. Dr<sup>a</sup>. Ranoyca Nayana Alencar Leão e Silva Aquino

**TERESINA**

**2018**

FICHA CATALOGRÁFICA

Serviço de Processamento Técnico da Universidade Federal do Piauí  
Biblioteca Comunitária Jornalista Carlos Castello Branco

A474m      Alves, Max Dannyell de Carvalho.  
                Modulação She-PWM aplicada em um inversor multinível híbrido  
                simétrico trifásico de cinco níveis baseado nas topologias Half-Bridge  
                e ANPC / Max Dannyell de Carvalho Alves. – 2018.  
                115 f.

                Dissertação (Mestrado em Engenharia Elétrica) – Universidade  
                Federal do Piauí, Teresina, 2018.  
                “Orientadora: Prof<sup>ª</sup>. Dr<sup>ª</sup>. Ranoyca Nayana Alencar Leão e Silva  
                Aquino”.

                1. Engenharia Elétrica. 2. Modulação SHE-PWM. 3. Inversor  
                Multinível Híbrido. 4. Conteúdo Harmônico. I. Título.

CDD 621.3

**MAX DANNYELL DE CARVALHO ALVES**


**MODULAÇÃO SHE-PWM APLICADA EM UM INVERSOR  
MULTINÍVELHÍBRIDO SIMÉTRICO TRIFÁSICO DE  
CINCO NÍVEIS BASEADO NAS TOPOLOGIAS HALF-  
BRIDGE E ANPC**


Esta Dissertação foi julgada adequada para a obtenção do título de Mestre em Engenharia Elétrica, Área de Concentração Sistemas de Energia Elétrica, e aprovada em sua forma final pelo Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal do Piauí.


  
Max Dannyell de Carvalho Alves

Banca Examinadora:

~~Ranoyca Nayana Alencar Leão e Silva Aquino~~  
Prof. Dra. Ranoyca Nayana Alencar Leão e Silva Aquino  
Presidente (PPGEE-/UFPI/UNILAB).

  
Prof. Dr. Gustavo Alves de Lima Henn  
Avaliador Externo – (UNILAB)

  
Prof. Dr. Rafael Rocha Matias  
Avaliador Interno (PPGEE-UFPI)

  
Prof. Dr. Demercil de Souza Oliveira Júnior  
Avaliador Interno (PPGEE-UFPI/UFC)

Teresina, 13 de Julho de 2018.

*A Deus,*

*Aos meus pais, Valdenir e Maria,*

*As minhas irmãs, Dayanny e Dannyelle,*

*Aos meus avós, paternos e maternos,*

*A todos os familiares e amigos.*

## AGRADECIMENTOS

A Deus, pelo dom da vida, por ter me concedido saúde e força para superar as dificuldades ao longo de minha vida.

À Universidade Federal do Piauí, Universidade Federal do Ceará e CAPES, pelas oportunidades e apoio durante a elaboração deste trabalho.

A todos os professores do Curso de Engenharia Elétrica pelos ensinamentos e também pela amizade. À minha orientadora Prof<sup>ª</sup>. Dr<sup>ª</sup>. Ranoyca Nayana Alencar Leão e Silva Aquino, pela confiança e paciência, sempre ajudando na execução deste trabalho e aos professores participantes da Banca examinadora, pelo tempo e pelas colaborações.

Aos colegas do programa de pós-graduação em engenharia elétrica da UFPI, também aos colegas que fazem parte do Grupo de Processamento de Energia e Controle da UFC que juntamente aos Professores Demercil de Souza Oliveira Júnior, Paulo Peixoto Praça e Luiz Henrique Silva Colado Barreto colaboraram na montagem do protótipo.

Aos meus pais, Valdenir Alves do Vale e Maria do Espírito Santo de Carvalho Alves, pelo incentivo e apoio em todos os momentos de minha vida, que juntamente com minhas irmãs, sempre estiveram presentes compartilhando todas as dificuldades e alegrias vividas por mim.

Ao meu avô, Expedito Alves do Vale, meu melhor amigo, que sempre ajudou e aconselhou em todos os momentos necessários.

À minha família e amigos, em especial ao Caio Araújo e Daniel Leal.

À minha noiva, Dayany Makly Borges de Oliveira, por todo o seu carinho e compreensão.

*“Deixem que o futuro diga a verdade e avalie cada um de acordo com o seu trabalho e realizações. O presente pertence a eles, mas o futuro pelo qual eu sempre trabalhei pertence a mim”.*

*(Nikola Tesla)*

## RESUMO

O trabalho propõe a aplicação da modulação SHE-PWM (*Selective harmonic elimination*) ao Inversor Multinível Híbrido Simétrico Trifásico de Cinco Níveis baseado nas topologias *Half-Bridge* e ANPC proposto por Silva (2013) a fim de comparar o desempenho desta modulação frente às já aplicadas anteriormente nesta estrutura. De início é apresentada a topologia do inversor com seus possíveis estados de comutação, lógica de acionamento escolhida e detalhamento dos caminhos de corrente durante a operação do inversor. Em seguida é aplicada a estratégia de modulação SHE-PWM, apresentando-se a forma de onda desejada na saída do inversor para eliminar os harmônicos escolhidos, o cálculo dos ângulos de chaveamento pelo método de Newton-Raphson e a implementação digital da técnica usando FPGA. Foi realizado um estudo de desempenho do inversor através de simulação, na qual é analisado o conteúdo harmônico e as perdas usando um método de estimação no software PSIM. Por fim são apresentados os resultados experimentais referentes à estratégia de modulação SHE-PWM aplicada ao inversor, realizando uma análise comparativa em relação às outras duas modulações já aplicadas por Silva (2013), PD-PWM e CSV-PWM, sendo mostradas as principais formas de onda, tais como: pulsos de acionamento dos interruptores, esforços de tensão e corrente nos interruptores, tensões de fase e de linha, bem como corrente na carga, estas relacionadas à operação do inversor com potência nominal. Para embasar a análise comparativa de desempenho da modulação em questão foram coletadas informações sobre o conteúdo harmônico e rendimento do inversor. Utilizando a modulação SHE-PWM, o conversor apresentou um rendimento de 97,71% ao alimentar uma carga trifásica (7500 VA, 220/380 V), e com exceção do resultado obtido para o índice de modulação de 0,5, o conteúdo harmônico apresentou uma melhora para toda faixa de índices testados (0,6, 0,7, 0,8 e 0,9), sendo que para o melhor caso, índice de 0,9, a WDHT é 45% menor em relação a PD-PWM e 58% menor com relação a CSV-PWM.

**Palavras-Chave:** Modulação SHE-PWM. Conteúdo Harmônico. Rendimento. Inversor Multinível Híbrido. FPGA.



## ABSTRACT

The work proposes the application of the SHE-PWM modulation (Selective Harmonic Elimination) to the Multilevel Three-Phase Symmetric Hybrid Inverter with five levels based on the Half-Bridge and ANPC topologies proposed by Silva (2013) in order to compare the performance of this modulation with those previously applied in this structure. The topology of the inverter with its possible switching states, chosen drive logic and detailing of the current paths during the inverter operation is presented at the beginning. Then the SHE-PWM modulation strategy is applied, presenting the desired waveform at the output of the inverter to eliminate the chosen harmonics, Newton-Raphson method to calculate the switching angles and the digital implementation of the technique using FPGA. An inverter performance study was performed through simulation, in which harmonic content and losses were analyzed using an estimation method in the PSIM software. Finally, are presented the experimental results regarding the SHE-PWM modulation strategy applied to the inverter, performing a comparative analysis in relation to the other two modulations already applied by Silva (2013), PD-PWM and CSV-PWM. The main waveforms are shown, such as: switch pulses, voltage and current stresses on the switches, phase and line voltages, as well as load current, these are related to the operation of the inverter with nominal power. In order to base the comparative performance analysis of the modulation in question, information was collected on the harmonic content and efficiency of the inverter. Using the SHE-PWM modulation, the converter showed a yield of 97.71% when feeding a three-phase load (7500 VA, 220/380 V), and with the exception of the result obtained for the modulation index of 0.5, the harmonic content showed an improvement for all the index ranges tested (0.6, 0.7, 0.8 and 0.9), and for the best case, index of 0.9, the WTHD is 45% smaller in relation to PD-PWM and 58% smaller in relation to CSV-PWM.

**Keywords:** SHE PWM Modulation. Harmonic content. Efficiency. Multilevel Hybrid Inverter. FPGA.

## LISTA DE FIGURAS

Figura 1.1 – Inversor clássico de 2 níveis vs. Multiníveis (FRANQUELO et al., 2008).....	18
Figura 1.2 - Inversor NPC de três níveis trifásico (NABAE <i>et al.</i> , 1981).....	19
Figura 1.3 - Inversor NPC de cinco níveis monofásico.....	20
Figura 1.4 - Inversor FC de três níveis trifásico (MEYNARD et al., 1992). ....	22
Figura 1.5 - Inversor FC de cinco níveis monofásico.....	23
Figura 1.6 - Inversor CHB de cinco níveis trifásico (BAKER et al., 1975).....	25
Figura 1.7 - Modulação Multinível (FRANQUELO et al., 2008).....	26
Figura 1.8 - Modulação por largura de pulso senoidal para conversores de cinco níveis. ....	27
Figura 1.9 - Diagrama espaço vetorial para conversores trifásicos de cinco níveis. ....	29
Figura 1.10 - Placa DE0-Nano (FPGA modelo EP4CE22F17C6N, família Cyclone IV) .....	31
Figura 1.11 - Inversor Multinível Híbrido Simétrico Trifásico de Cinco Níveis HB/ANPC...	32
Figura 1.12 - Formas de onda da moduladora e das portadoras da modulação baseada na PD- PWM.....	33
Figura 1.13 - Formas de onda da moduladora e das portadoras da modulação baseada na CSV- PWM.....	34
Figura 2.1 - Inversor HB/ANPC de cinco níveis (configuração monofásica).....	36
Figura 2.2 - Configuração dos estados de condução. ....	39
Figura 3.1: Primeiro quarto de onda da tensão de saída.....	41
Figura 3.2 - Fluxograma do método de Newton-Raphson. ....	43
Figura 3.3 - Senóide Digital de referência.....	44
Figura 3.4 - Diagrama dos circuitos PLLs e divisor de frequência da senóide. ....	46
Figura 3.5 - Diagrama de blocos da lógica de acionamento.....	46
Figura 4.1 - Pulsos de acionamento.....	50
Figura 4.2 - Tensão de fase e Tensão de Linha. ....	51
Figura 4.3 - Espectro de frequência da Tensão de Fase. ....	51
Figura 4.4 - Espectro de frequência da Tensão de Linha. ....	52
Figura 4.5 - Corrente na carga. ....	52
Figura 4.6 - Corrente no interruptor $S_{a1}$ e no diodo $D_{a1}$ .....	53
Figura 4.7 - Corrente no interruptor $S_{a2}$ e no diodo $D_{a2}$ . ....	54
Figura 4.8 - Correntes no interruptor $S_{a6}$ e no diodo $D_{a6}$ .....	54
Figura 4.9 - Correntes no interruptor $S_{a7}$ e no diodo $D_{a7}$ .....	55

Figura 4.10 - Ice x Vce do módulo SKM75GB063D.....	56
Figura 4.11 - Ice x Vce do módulo SKM145GB066D.....	57
Figura 4.12 - If x Vf do módulo SKM75GB063D .....	57
Figura 4.13 - If x Vf do módulo SKM145GB066D .....	58
Figura 4.14 - Blocos matemáticos para cálculo das perdas por condução. ....	59
Figura 4.15 - E(mJ) x Ic(A) do módulo SKM75GB063D.....	61
Figura 4.16 - E(mJ) x Ic(A) do módulo SKM145GB066D.....	62
Figura 4.17 - Conjunto de blocos para simulação das perdas por comutação na chave $S_{a1}$ .....	63
Figura 4.18 - Funcionamento dos blocos que estimam as perdas por comutação.....	65
Figura 4.19 - Visualização gráfica do método de cálculo de $P_{on1}$ .....	65
Figura 4.20 - Ficha de dados (Diodo antiparalelo do módulo SKM75GB063D).....	67
Figura 4.21 - Ficha de dados (Diodo antiparalelo do módulo SKM145GB066D).....	67
Figura 4.22 - Conjunto de blocos para simulação das perdas por comutação nos diodos intrínsecos.....	68
Figura 4.23- Visualização gráfica do método de cálculo de $P_{rr1}$ .....	69
Figura 4.24 - Visualização gráfica do método de cálculo de $P_{rr1}$ ( <i>Zoom</i> ).....	70
Figura 5.1 - Pulsos de comando dos interruptores para modulação SHE-PWM com índice de modulação de 0,9.....	74
Figura 5.2 - Pulsos de comando dos interruptores para modulação SHE-PWM com índice de modulação de 0,5.....	74
Figura 5.3 - Protótipo experimental.....	75
Figura 5.4 - Tensão sobre os interruptores $S_{a2}$ , $S_{a3}$ , $S_{a5}$ e $S_{a6}$ .....	76
Figura 5.5 - Corrente nos interruptores $S_{a2}$ , $S_{a3}$ , $S_{a5}$ e $S_{a6}$ .....	77
Figura 5.6 - Tensão sobre os interruptores $S_{a1}$ , $S_{a4}$ , $S_{a7}$ e $S_{a8}$ .....	77
Figura 5.7 - Corrente nos interruptores $S_{a1}$ , $S_{a4}$ , $S_{a7}$ e $S_{a8}$ .....	78
Figura 5.8 - Tensões de fase para o inversor utilizando a modulação SHE-PWM e índice de modulação de 0,9.....	79
Figura 5.9 - Tensões de linha para o inversor utilizando a modulação SHE-PWM e índice de modulação de 0,9.....	79
Figura 5.10 - Tensão de linha $V_{ab}$ , tensão de fase $V_a$ e corrente de saída $I_a$ para o inversor utilizando a modulação SHE-PWM e índice de modulação de 0,9.....	80
Figura 5.11 - Espectro harmônico da tensão de fase e de linha do inversor operando com modulação SHE-PWM e índice de modulação de 0,9.....	81
Figura 5.12 - Espectro harmônico da corrente de saída do inversor operando com modulação	

SHE-PWM e índice de modulação de 0,9. ....	81
Figura 5.13 - Comparação entre o espectro harmônico da tensão de linha simulado e o da tensão de linha experimental do inversor operando com modulação SHE-PWM e índice de modulação de 0,9. ....	82
Figura 5.14 - Espectros harmônicos da tensão de linha experimental para as técnicas de modulação SHE-PWM, PD-PWM e CSV operando com índice de modulação de 0,9. ....	82
Figura 5.15 - Tensões de fase para o inversor utilizando a modulação SHE-PWM e índice de modulação de 0,5. ....	83
Figura 5.16 - Tensões de linha para o inversor utilizando a modulação SHE-PWM e índice de modulação de 0,5. ....	83
Figura 5.17 - Tensão de linha $V_{ab}$ , tensão de fase $V_a$ e corrente de saída $I_a$ para o inversor utilizando a modulação SHE-PWM e índice de modulação de 0,5. ....	84
Figura 5.18 - Espectro harmônico da tensão de fase e de linha do inversor operando com modulação SHE-PWM e índice de modulação de 0,5. ....	85
Figura 5.19 - Espectro harmônico da corrente de saída do inversor operando com modulação SHE-PWM e índice de modulação de 0,5. ....	85
Figura 5.20 - Comparação entre o espectro harmônico da tensão de linha simulado e o da tensão de linha experimental do inversor operando com modulação SHE-PWM e índice de modulação de 0,5. ....	86
Figura 5.21 - Espectros harmônicos da tensão de linha experimental para as técnicas de modulação SHE-PWM, PD-PWM e CSV operando com índice de modulação de 0,5. ....	86
Figura 5.22 - Formas de onda de tensão sobre os capacitores de barramento. ....	87
Figura 5.23 - Gráfico comparativo da DHT da tensão de linha experimental e da tensão de linha simulada em função do índice de modulação para a técnica de modulação SHE-PWM. ....	88
Figura 5.24 - Gráfico comparativo da WDHT da tensão de linha experimental e da tensão de linha simulada em função do índice de modulação para a técnica de modulação SHE-PWM. ....	88
Figura 5.25 - Gráfico comparativo da DHT da tensão de linha experimental em função do índice de modulação para as técnicas de modulação SHE-PWM, PD-PWM e CSV. ....	89
Figura 5.26 - Gráfico comparativo da WDHT da tensão de linha experimental em função do índice de modulação para as técnicas de modulação SHE-PWM, PD-PWM e CSV. ....	89
Figura 5.27 - Rendimento em função da potência para o inversor operando com modulação SHE-PWM e índice de modulação de 0,9. ....	90
Figura 5.28 - Gráfico comparativo de rendimento para as técnicas de modulação SHE-PWM, PD-PWM e CSV em função do índice de modulação. ....	90

## LISTA DE TABELAS

Tabela 1.1 - Estados de condução para um braço do inversor NPC de três níveis.....	20
Tabela 1.2 - Estados de condução para um braço do inversor FC de três níveis. ....	22
Tabela 1.3 - Estados de condução para uma célula do inversor CHB. ....	25
Tabela 2.1 – Possíveis estados de comutação. ....	37
Tabela 2.2 – Estados de condução. ....	38
Tabela 3.1 - Ângulos de chaveamento. ....	43
Tabela 4.1 - Especificações para simulação e construção do protótipo. ....	49
Tabela 4.2 - Esforços de corrente. ....	55
Tabela 4.3 - Coeficientes polinomiais da potência dissipada por condução. ....	59
Tabela 4.4 - Perdas por Condução. ....	60
Tabela 4.5 - Coeficientes Polinomiais da Energia dissipada por ON e OFF.....	61
Tabela 4.6 - Coeficientes Polinomiais da Energia dissipada na recuperação reversa. ....	67
Tabela 4.7 - Perdas por Comutação. ....	71

## SUMÁRIO

<b>1</b>	<b>INTRODUÇÃO GERAL.....</b>	<b>16</b>
	1.1 INTRODUÇÃO .....	16
	1.2 INVERSORES MULTINÍVEIS .....	18
	1.3 TÉCNICAS DE MODULAÇÃO .....	25
	1.3.1 CB-PWM.....	27
	1.3.2 SVM.....	28
	1.3.3 SHE-PWM.....	29
	1.4 CONTROLADORES DIGITAIS.....	30
	1.5 PROPOSIÇÃO.....	31
<b>2</b>	<b>INVERSOR HB/ANPC DE 5 NÍVEIS .....</b>	<b>36</b>
	2.1 INTRODUÇÃO .....	36
	2.2 POSSÍVEIS ESTADOS DE COMUTAÇÃO.....	37
	2.3 LÓGICA DE ACIONAMENTO PARA O INVERSOR HB/ANPC .....	38
	2.4 CONSIDERAÇÕES FINAIS .....	39
<b>3</b>	<b>TÉCNICA DE MODULAÇÃO SHE-PWM APLICADA AO INVERSOR HB/ANPC .....</b>	<b>40</b>
	3.1 INTRODUÇÃO .....	40
	3.2 APRESENTAÇÃO DA FORMA DE ONDA DESEJADA NA SAÍDA .....	40
	3.3 MÉTODO DE NEWTON-RAPHSON PARA O CÁLCULO DOS ÂNGULOS DE COMUTAÇÃO ..	42
	3.4 IMPLEMENTAÇÃO DIGITAL PROPOSTA.....	44
	3.4.1 IMPLEMENTAÇÃO DIGITAL DA SENÓIDE DE REFERÊNCIA.....	44
	3.4.2 IMPLEMENTAÇÃO DIGITAL DA LÓGICA DE ACIONAMENTO.....	46
	3.5 CONSIDERAÇÕES FINAIS .....	47
<b>4</b>	<b>ESTUDO DE DESEMPENHO DO INVERSOR MULTINÍVEL OPERANDO COM MODULAÇÃO SHE-PWM .....</b>	<b>48</b>
	4.1 INTRODUÇÃO .....	48
	4.2 CONTEÚDO HARMÔNICO .....	49
	4.3 PERDAS POR CONDUÇÃO .....	52
	4.3.1 ESFORÇOS DE CORRENTE .....	53
	4.3.2 SIMULAÇÃO DAS PERDAS POR CONDUÇÃO.....	56
	4.4 PERDAS POR COMUTAÇÃO .....	60
	4.4.1 SIMULAÇÃO DAS PERDAS POR COMUTAÇÃO NAS CHAVES.....	60
	4.4.2 SIMULAÇÃO DAS PERDAS POR COMUTAÇÃO DIODOS INTRÍNSECOS .....	66
	4.5 CONSIDERAÇÕES FINAIS.....	71
<b>5</b>	<b>RESULTADOS EXPERIMENTAIS.....</b>	<b>73</b>

5.1 INTRODUÇÃO .....	73
5.2 PULSOS DE ACIONAMENTO .....	73
5.3 RESULTADOS EXPERIMENTAIS DO INVERSOR HB/ANPC OPERANDO COM MODULAÇÃO SHE-PWM.....	75
5.3.1 ESFORÇOS DE TENSÃO E CORRENTE SOBRE OS INTERRUPTORES.....	76
5.3.2 FORMAS DE ONDA DE TENSÃO E CORRENTE NA SAÍDA .....	78
5.3.3 FORMAS DE ONDA DE TENSÃO SOBRE OS CAPACITORES DE BARRAMENTO .....	87
5.4 COMPARATIVO ENTRE AS MODULAÇÕES APLICADAS AO INVERSOR HB/ANPC .....	87
5.5 CONSIDERAÇÕES FINAIS.....	91
<b>6 CONCLUSÃO.....</b>	<b>92</b>
<b>REFERÊNCIAS BIBLIOGRÁFICAS.....</b>	<b>93</b>
<b>ANEXO A – DATASHEET MÓDULO SKM75GB063D .....</b>	<b>97</b>
<b>ANEXO B – DATASHEET MÓDULO SKM145GB066D .....</b>	<b>103</b>
<b>APÊNDICE A – PROGRAMA PARA IMPLEMENTAR A SHE-PWM EM VHDL.....</b>	<b>109</b>

# 1 INTRODUÇÃO GERAL

## 1.1 INTRODUÇÃO

O crescimento populacional, a evolução dos processos industriais e o desenvolvimento tecnológico, formam o conjunto de fatores que tem ocasionado a elevação na demanda por energia elétrica em todo o mundo. No Brasil, a principal fonte de geração de energia elétrica são as usinas hidroelétricas, as quais muitas vezes se mostram insuficientes para suprir o país devido à irregularidade das chuvas, fazendo-se necessário a geração através de outras fontes como solar, eólica, termoelétrica, biomassa, marés, etc.. A geração através destas outras fontes traz uma maior robustez ao sistema, apresentando-se como uma solução viável para diversificar a matriz energética. Os desafios para interconexão dos sistemas elétricos, com suas mais diversificadas fontes e cargas, podem ser superados com conhecimentos advindos da eletrônica de potência, tornando este campo de estudo promissor.

A geração e transmissão de energia elétrica são realizadas, predominantemente, em corrente alternada no Brasil, porém estudos recentes mostram que a transmissão de grandes blocos de energia por longas distâncias, pode ser realizada em corrente contínua de forma mais econômica apresentando menores perdas, apesar da necessidade de se utilizar conversores estáticos. Assim, a transmissão em corrente contínua tem se tornado cada vez mais atrativa, principalmente para países com grandes extensões territoriais, como é o caso do Brasil (BATSCHAUER, 2011).

Além da vantagem econômica, tem-se a maior capacidade de interligação dos sistemas, até mesmo com outros países, como é o caso da empresa ITAIPU BINACIONAL. De acordo com a informação fornecida no site da empresa, a geração em Itaipu é realizada em corrente alternada com duas frequências distintas. O Brasil compra grande parte da energia Paraguai, 50 Hz, porém a frequência adotada em nosso país é 60 Hz, sendo necessárias estratégias para compatibilizar essas frequências. Portanto, em Foz do Iguaçu é realizada a retificação, assim, a transmissão desta energia comprada do Paraguai é feita em corrente contínua, somente quando chega ao centro consumidor essa energia é convertida para 60 Hz.

Considerando aspectos de eficiência e qualidade de energia, existe a necessidade de se investigar novas tecnologias que garantam o mínimo distúrbio na interconexão desses sistemas à rede. Os problemas que resultam em falhas ou má operação de equipamentos do consumidor, devido o desvio da tensão, corrente ou frequência, afetam negativamente, os indicadores de qualidade de energia estabelecidos pela ANEEL (DUGAN, 1996).



A conversão de uma corrente contínua “CC” em uma corrente alternada “CA” é realizada pelos inversores, já no sentido contrário são usados retificadores, essa conversão é muitas vezes necessária por causa das características intrínsecas da fonte ou da carga a ser alimentada. Neste cenário, para aperfeiçoar o processamento da energia, tornando-o o mais eficiente possível, surgem os conversores multiníveis, os quais são utilizados tanto na interligação das fontes com a rede, quanto no acionamento das cargas. O aumento do número de níveis torna a tensão na saída mais próxima da forma senoidal, logo resulta em uma redução do seu conteúdo harmônico. Apesar do aumento do número de componentes utilizados exigir uma maior complexidade na modulação, é inegável o nível satisfatório de desempenho que estes conversores podem atingir quando associados a uma modulação adequada (MCGRATH, 2002).

Os conversores multiníveis são amplamente utilizados no acionamento de motores, compensadores reativos, interligação de geradores à rede, *uninterruptible power supply* (UPS), filtros ativos, entre outros, estando presentes tanto nos mercados produtores, como nos mercados consumidores de energia (NETO, 2014).

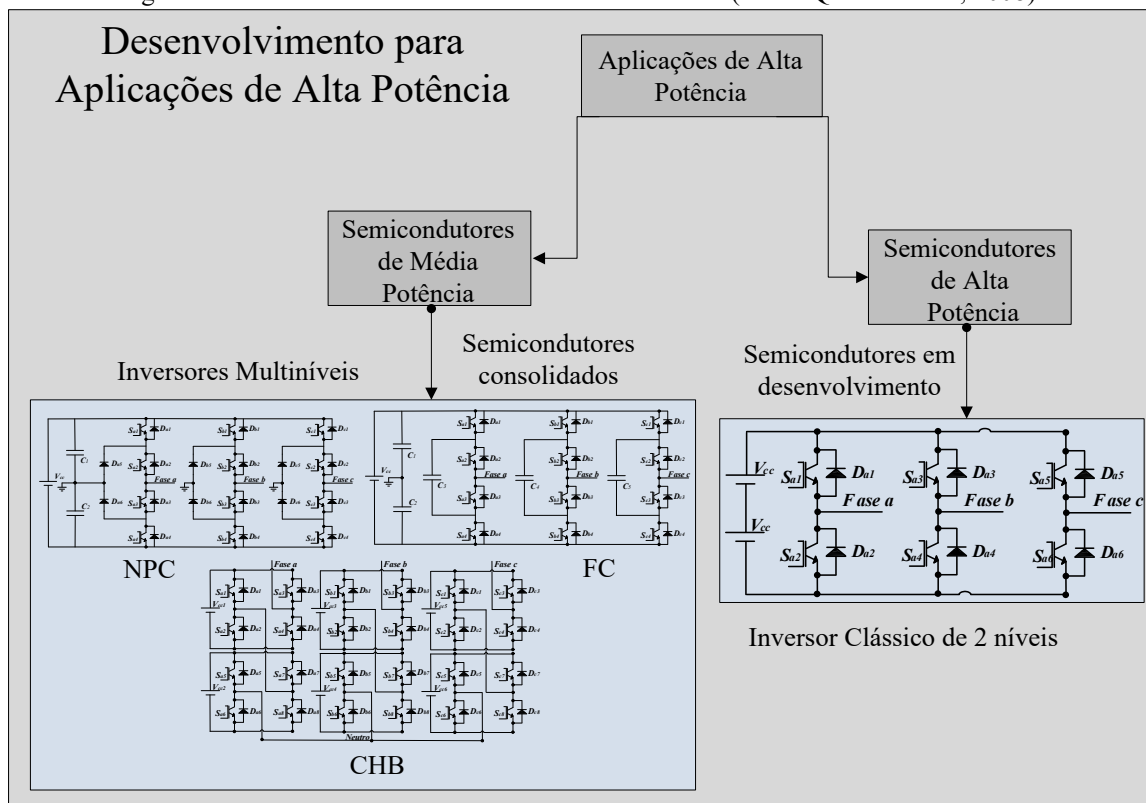
Segundo o Programa Nacional de Conservação de Energia Elétrica (PROCEL), da energia total consumida por uma indústria, cerca de 50% é demandada por sistemas motrizes, dos quais grande parte já é acionada por conversores estáticos. Conforme o trabalho apresentado por Batschauer (2011), a constante evolução dos semicondutores controlados tem aproximado mais ainda a eletrônica de potência de aplicações onde não era comum o processamento eletrônico de energia. O acionamento de motores com velocidade variável, por exemplo, apesar de ser uma tecnologia relativamente recente, já é consagrada em sistemas de baixa tensão, e vem evoluindo a passos largos nos sistemas que operam em tensões mais elevadas. Vários fabricantes já oferecem conversores multiníveis para o acionamento de motores de média tensão. Os benefícios proporcionados permitem variar a velocidade, controlar o torque, a posição e partidas suaves agregados a sistemas de medição e automação. Possibilitado a modernização das linhas de produção, tornando-as mais eficazes e confiáveis, bem como a otimização de diversos processos na indústria.

Novas topologias de inversores multiníveis, assim como diferentes técnicas de modulação estão sendo estudadas, buscando uma melhoria na qualidade da tensão de saída e uma diminuição dos esforços de tensão e correntes nos semicondutores, levando também em consideração o custo para produzir tal equipamento. Seguindo este panorama, os estudos de como tornar os conversores cada vez mais eficientes são uma das áreas que se destacam dentre as pesquisas relacionadas à engenharia elétrica (HENN, 2012; SILVA, 2013).

## 1.2 INVERSORES MULTINÍVEIS

A capacidade de processamento de energia pelos semicondutores é um limitador nas aplicações de alta potência. Ao longo das últimas décadas, duas linhas de pesquisa buscam soluções. A primeira consiste em utilizar estruturas consolidadas na literatura juntamente com componentes semicondutores novos, que se encontram ainda em fase de desenvolvimento. Já a segunda utiliza componentes consolidados, amplamente testados, com estruturas inovadoras, onde se encaixam os conversores multiníveis. A Figura 1.1 ilustra os dois campos de estudo (FRANQUELO et al., 2008).

Figura 1.1 – Inversor clássico de 2 níveis vs. Multiníveis (FRANQUELO et al., 2008).



Fonte: Elaborada pelo autor.

Utilizando um número maior de dispositivos semicondutores na estrutura do inversor, ou seja, trabalhando com mais níveis, torna-se possível empregar componentes maduros, com uma baixa tensão de bloqueio, para operar até mesmo com alta tensão no barramento, na ordem de centenas de quilovolt, devido à divisão do esforço entre estes componentes. Um atrativo a mais é o fato de que geralmente os dispositivos com menor tensão de bloqueio, possuem maior capacidade de corrente e estão no mercado há mais tempo, proporcionando uma maior confiabilidade em relação aos semicondutores de maior tensão.

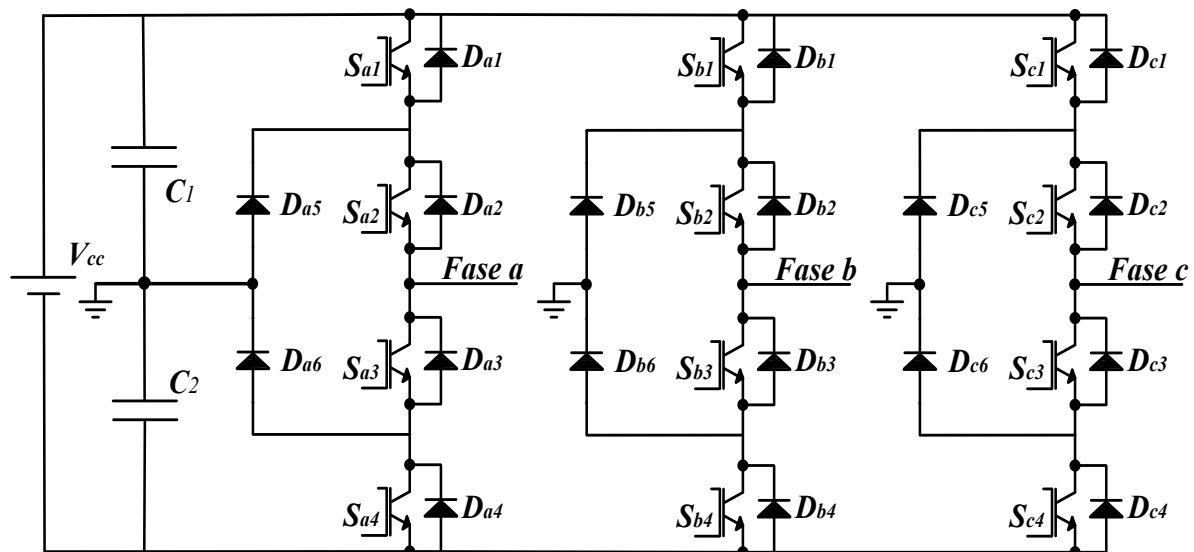
As topologias multiníveis mais relevantes são três, o inversor com diodos de grameamento (*Neutral Point Clamped – NPC*), o inversor com capacitor flutuante (*Flying Capacitor – FC*) e o inversor ponte-H em cascata (*Cascaded H-Bridge – CHB*). Estes conversores são bastante difundidos, sendo amplamente conhecidos na literatura, e servem como base de referência para novas propostas de inversores, que visam melhorar a eficiência e capacidade de processamento de energia.

A denominação NPC foi dada por Nabae *et al.* (1981), porém o inversor de três níveis com ponto de neutro grampeado através de diodos foi desenvolvido por Baker (1980). O inversor NPC foi concebido através de um aperfeiçoamento do conversor de dois níveis básico, adicionando um par de diodos conectados ao neutro e mais um par de transistores para cada fase, como mostra a Figura 1.2.

Em um inversor NPC de  $n$  níveis, a estrutura é composta por  $(n-1)$  capacitores no barramento CC, o qual é comum às três fases. Cada fase contém  $2(n-1)$  interruptores. A tensão em cada capacitor é igual a  $V_{cc}/(n-1)$ , portanto a tensão máxima sobre cada interruptor é grampeada neste mesmo valor, assim com o aumento do número de níveis, diminui-se o esforço de tensão nos interruptores, uma vantagem em relação ao inversor clássico, cujos semicondutores devem suportar a tensão total do barramento.

Para o inversor NPC de três níveis, os possíveis níveis de tensão de fase são:  $V_{cc}/2$ ,  $0$  e  $-V_{cc}/2$ , já a tensão de linha na configuração trifásica apresenta cinco níveis,  $V_{cc}$ ,  $V_{cc}/2$ ,  $0$ ,  $-V_{cc}/2$  e  $-V_{cc}$ , resultado da combinação com os níveis das outras fases. A Tabela 1.1 relaciona os estados dos interruptores com o nível de tensão em uma das fases.

Figura 1.2 - Inversor NPC de três níveis trifásico (NABAE *et al.*, 1981).



Fonte: Elaborada pelo autor.

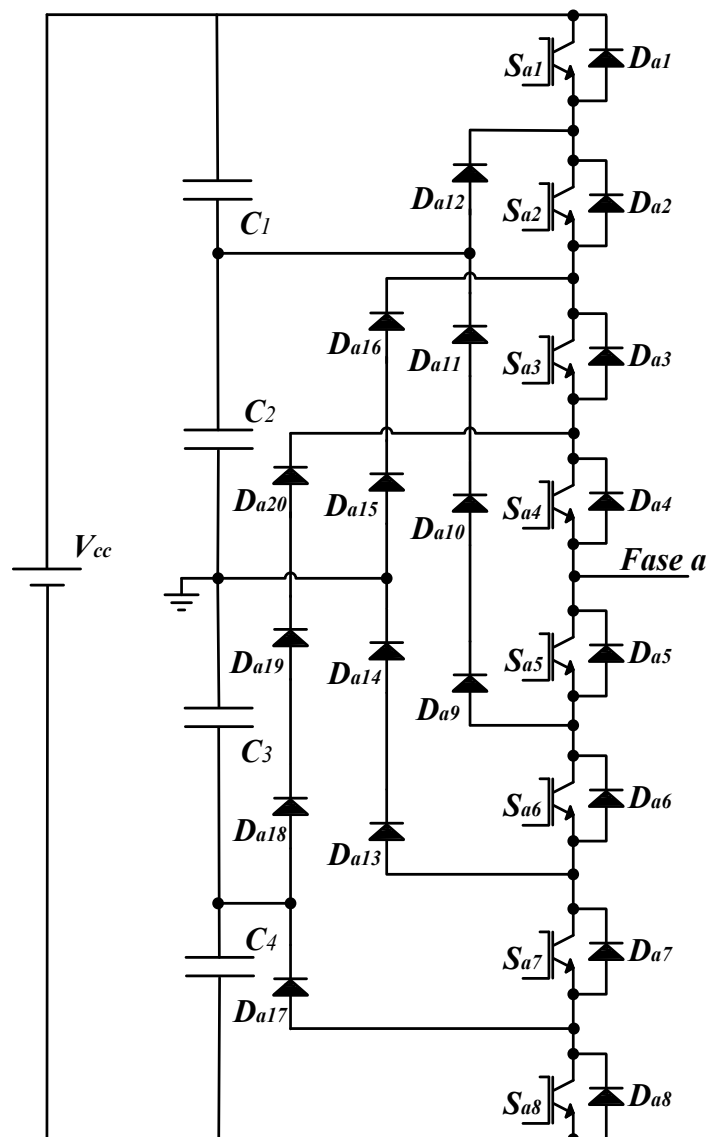
Tabela 1.1 - Estados de condução para um braço do inversor NPC de três níveis.

Fase a	Sa1	Sa2	Sa3	Sa4
$V_{cc}/2$	1	1	0	0
0	0	1	1	0
$-V_{cc}/2$	0	0	1	1

Fonte: Elaborada pelo autor.

A expansão para mais níveis, naturalmente melhora o conteúdo harmônico da tensão de saída, entretanto o aumento no número de semicondutores na estrutura pode tornar o circuito muito complexo. A Figura 1.3 mostra a estrutura de um inversor NPC de cinco níveis monofásico, onde são usados diodos em série para evitar diferentes níveis de esforço de tensão, para elementos de mesma especificação.

Figura 1.3 - Inversor NPC de cinco níveis monofásico.



Fonte: Elaborada pelo autor.

Alguns autores propuseram alterações no conversor NPC no intuito de minimizar as dificuldades observadas neste conversor como: adicionar capacitores junto aos diodos de grampeamento, associação de conversores para elevar o número de níveis, modificar a configuração dos diodos para equilibrar os esforços de tensão sem necessidade de colocar diodos em série. Entretanto, o problema do elevado número de semicondutores empregados à estrutura não é superado (XIAOMING et al., 2000; BATSCHAUER, 2011; BUM-SEOK et al., 1997).

Comparada a outras estruturas podem-se citar mais algumas vantagens como:

- Redução da distorção harmônica (SILVA, 2013);
- Pode operar com tensão elevada sem necessidade de associar interruptores em série, pois a tensão máxima sobre os interruptores é igual à tensão em um dos capacitores de barramento (ALMEIDA JUNIOR, 2016);
- Redução no número de capacitores (HENN, 2012);
- A mudança de nível ocorre através do chaveamento de um único interruptor, reduzindo, assim, as perdas por comutação e as interferências eletromagnéticas, consequentemente (BATSCHAUER, 2011);
- As derivadas de tensão ( $dv/dt$ ) aplicadas na carga são menores, característica relevante quando estes conversores são empregados no acionamento de motores (RASHID, 1999; PIRES, 2006).

As características negativas desta topologia são:

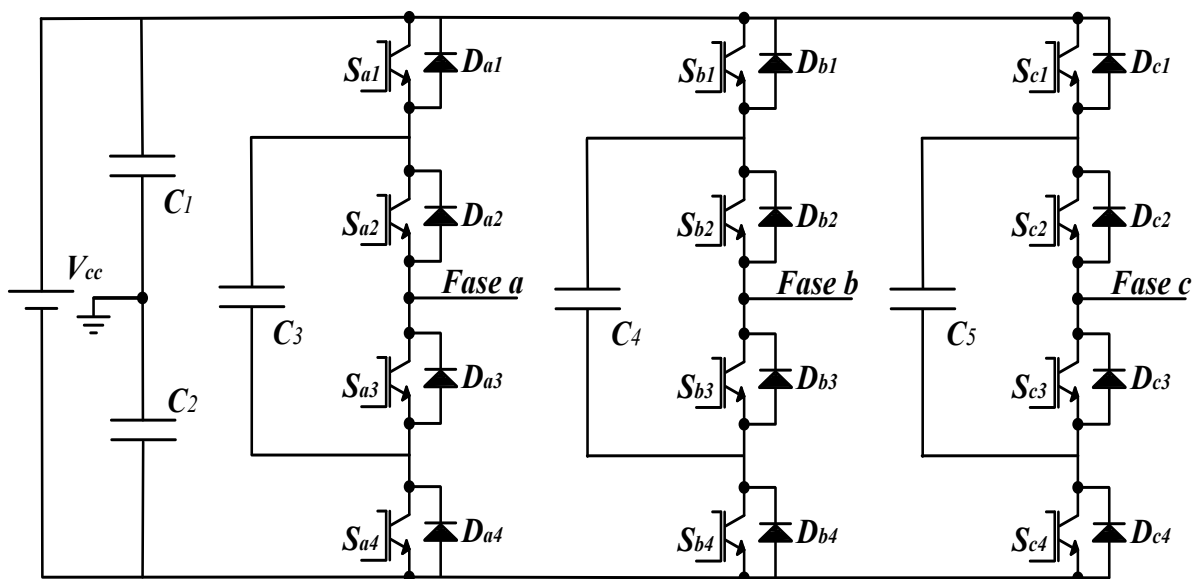
- Quando o conversor possui número elevado de níveis, surgem problemas associados à recuperação reversa dos diodos de grampeamento (BATSCHAUER, 2011);
- São necessários  $3(n-1)(n-2)$  diodos por fase, para evitar diferentes níveis de tensão aplicados aos diodos de grampeamento, em estruturas com mais de três níveis, além da dificuldade de expansão para aplicações com maior número de níveis (ALMEIDA JUNIOR, 2016);
- Desbalanceamento de tensão nos capacitores de barramento (SILVA, 2012).

Em 1992 Foch e Meynard apresentaram o conversor multinível com grampeamento a capacitor, também conhecido como *Flying Capacitors* – FC (Capacitores Flutuantes). Este conversor é uma alternativa a estrutura NPC, onde os diodos de grampeamento são substituídos por capacitores flutuantes, que grampeiam a tensão sobre os interruptores internos. A Figura 1.4 apresenta a configuração trifásica para um conversor FC

de três níveis, já a Figura 1.5 mostra a configuração monofásica para cinco níveis. A Tabela 1.2 relaciona os estados dos interruptores com o nível de tensão em uma das fases para o conversor FC de três níveis.

Ao ser comparada com a topologia NPC, a estrutura com capacitor flutuante tem a vantagem de grampear a tensão em todos os interruptores de forma direta, evitando a sobretensão nos interruptores internos. Entretanto, o número de capacitores necessários para realizar tal grampeamento cresce de forma exponencial com a elevação no número de níveis. Considerando  $n$  como sendo o número de níveis do conversor, são necessários  $(n - 1)$  capacitores para formar o barramento CC e  $(n - 1)(n - 2)/2$  capacitores de grampeamento por fase. Por exemplo, o conversor FC de cinco níveis utiliza seis capacitores de mesma tensão de grampeamento para cada fase do conversor, fora os quatro capacitores que formam o barramento CC, resultando em 22 Capacitores nesta estrutura.

Figura 1.4 - Inversor FC de três níveis trifásico (MEYNARD et al., 1992).



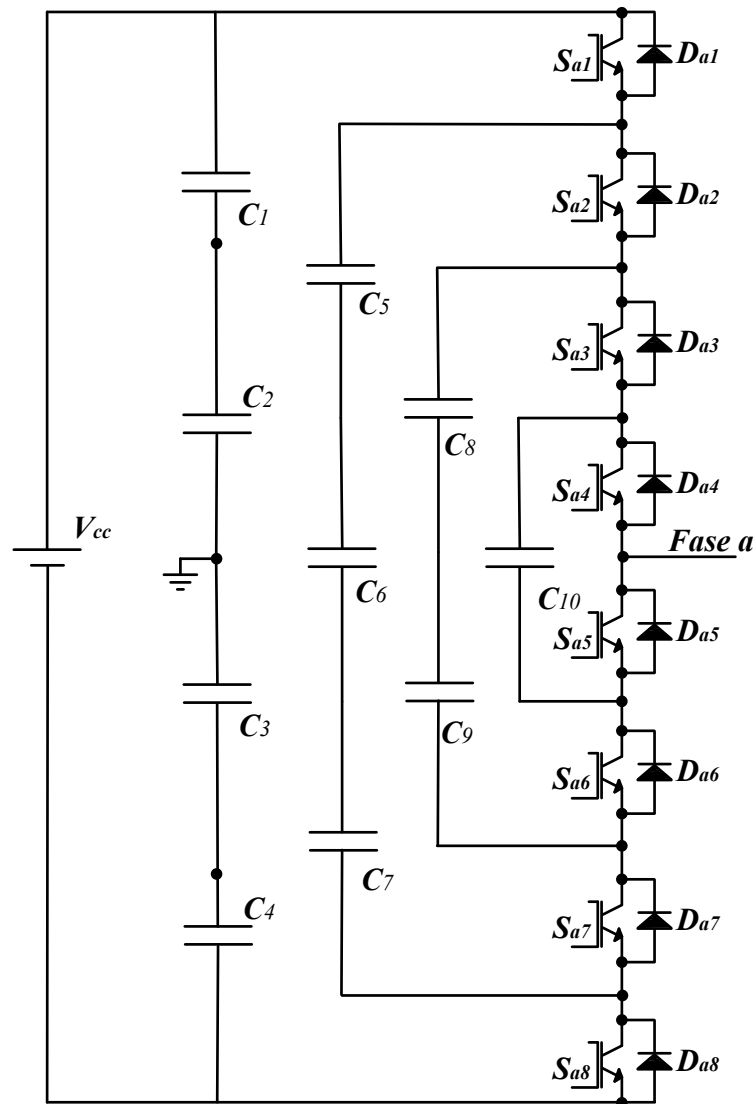
Fonte: Elaborada pelo autor.

Tabela 1.2 - Estados de condução para um braço do inversor FC de três níveis.

Fase a	Sa1	Sa2	Sa3	Sa4
$V_{cc}/2$	1	1	0	0
0	1	0	1	0
0	0	1	0	1
$-V_{cc}/2$	0	0	1	1

Fonte: Elaborada pelo autor.

Figura 1.5 - Inversor FC de cinco níveis monofásico.



Fonte: Elaborada pelo autor.

Comparada a outras estruturas podem-se citar mais algumas vantagens como:

- Reduz os problemas relacionados à corrente de recuperação reversa, já que diminui o número de diodos no circuito (SILVA, 2013);
- Possibilidade de continuar funcionando sob interrupções de curta duração, devido ao grande número de capacitores na estrutura (ALMEIDA JUNIOR, 2016);
- Maior versatilidade para controle de tensão nos capacitores de barramento, devido à existência de estados de condução redundantes, esta maior quantidade de estados permite utilizar técnicas para balancear a tensão no barramento sem alterar o conteúdo harmônico da tensão de saída (SILVA, 2013).

As características negativas desta topologia são:

- O grande número de capacitores na estrutura deixa o conversor caro e muito volumoso, além disso, o controle das tensões em todos os capacitores torna-se complexo (RASHID, 1999);
- O processo de carga e descarga dos capacitores de grampeamento torna-se um assunto de extrema importância ao se elevar o número de níveis (LIU *et al.*, 2001);
- Possibilidade de ressonância, em consequência das capacitâncias pertinentes ao conversor FC (ALMEIDA JUNIOR, 2016).

O inversor ponte-H em cascata apresentada por Baker *et al.*, (1975) é formado pela associação em série de células ponte-H. Cada célula do inversor é alimentado por uma fonte CC independente. A tensão de saída gerada pelo CHB é igual à soma da tensão em cada uma das células. A Figura 1.6 mostra a estrutura do inversor CHB de cinco níveis. Cada inversor ponte H pode gerar saídas com três níveis de tensão,  $+V_{cc}$ ,  $0$  e  $-V_{cc}$ , os estados de condução para uma célula H são mostrados na Tabela 1.3.

Comparada a outras estruturas podem-se citar mais algumas vantagens como:

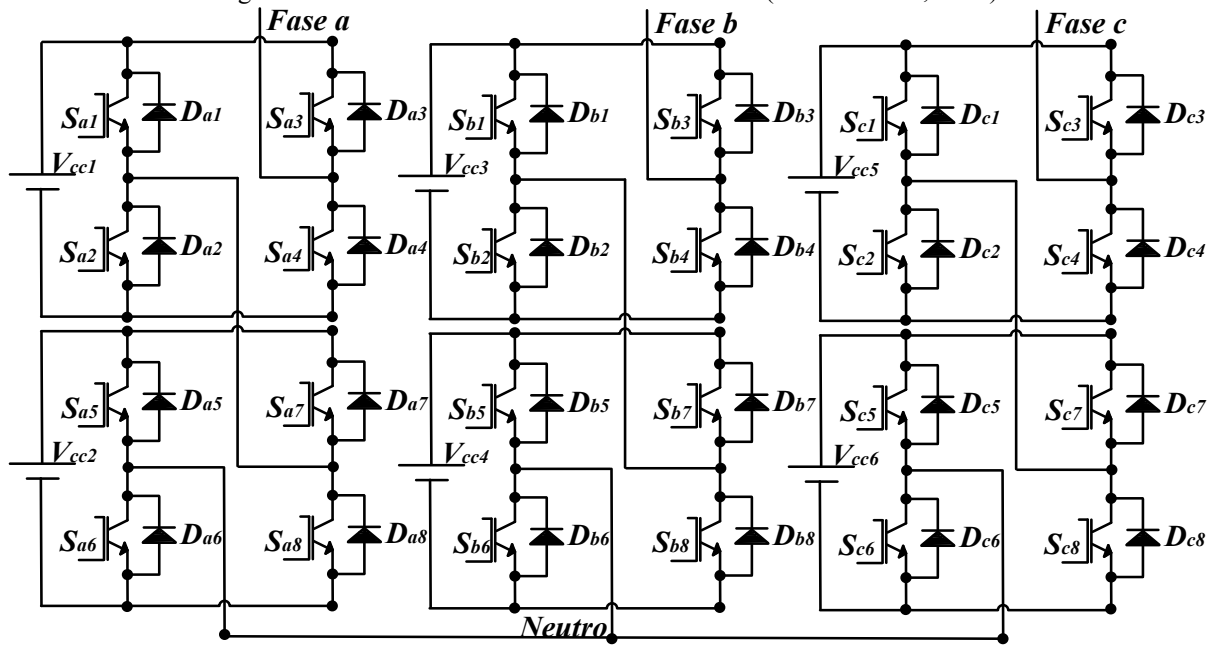
- Não há necessidade de empregar diodos e capacitores de grampeamento, a estrutura é baseada em um conversor amplamente estudado e dominado, com maior versatilidade para manutenção devido à construção modular, reduzindo custos e complexidade (SILVA, 2013);
- O número de níveis é proporcional à quantidade de módulos utilizados, com isso a forma de onda da tensão de saída apresenta menor distorção harmônica com reduzidos degraus de tensão. A potência nominal e tensão de saída são também proporcionais ao número de células pontes H, onde todos as chaves semicondutoras devem bloquear somente  $V_{cc}$  (ALMEIDA JUNIOR, 2016).

As características negativas desta topologia são:

- Necessidade de utilizar fontes CC isoladas limitando sua aplicação, essas fontes são usualmente fornecidas por retificadores trifásicos alimentados por transformadores com múltiplos secundários, os quais, naturalmente, aumentam o volume e o custo da estrutura (ALMEIDA JUNIOR, 2016);
- Submete dos capacitores a esforços com características de estrutura monofásica, elevando a ondulação da tensão nos mesmos (RASHID, 1999).



Figura 1.6 - Inversor CHB de cinco níveis trifásico (BAKER et al., 1975).



Fonte: Elaborada pelo autor.

Tabela 1.3 - Estados de condução para uma célula do inversor CHB.

Fase a	Sa1	Sa2	Sa3	Sa4
Vcc	0	1	1	0
0	1	0	1	0
0	0	1	0	1
-Vcc	1	0	0	1

Fonte: Elaborada pelo autor.

Como dito anteriormente existem muitas outras estruturas que derivam das três principais topologias. Da fusão de diferentes topologias surgem os conversores híbridos, onde se encaixa a estrutura HB/ANPC, que será detalhada no capítulo 3. Estas novas estruturas combinam as características das três supracitadas conforme a necessidade apresentada pela aplicação onde o conversor é utilizado, possuindo algumas vantagens, embora surjam limitações. Portanto, a utilização de uma estrutura depende basicamente das características desejadas em projeto.

### 1.3 TÉCNICAS DE MODULAÇÃO

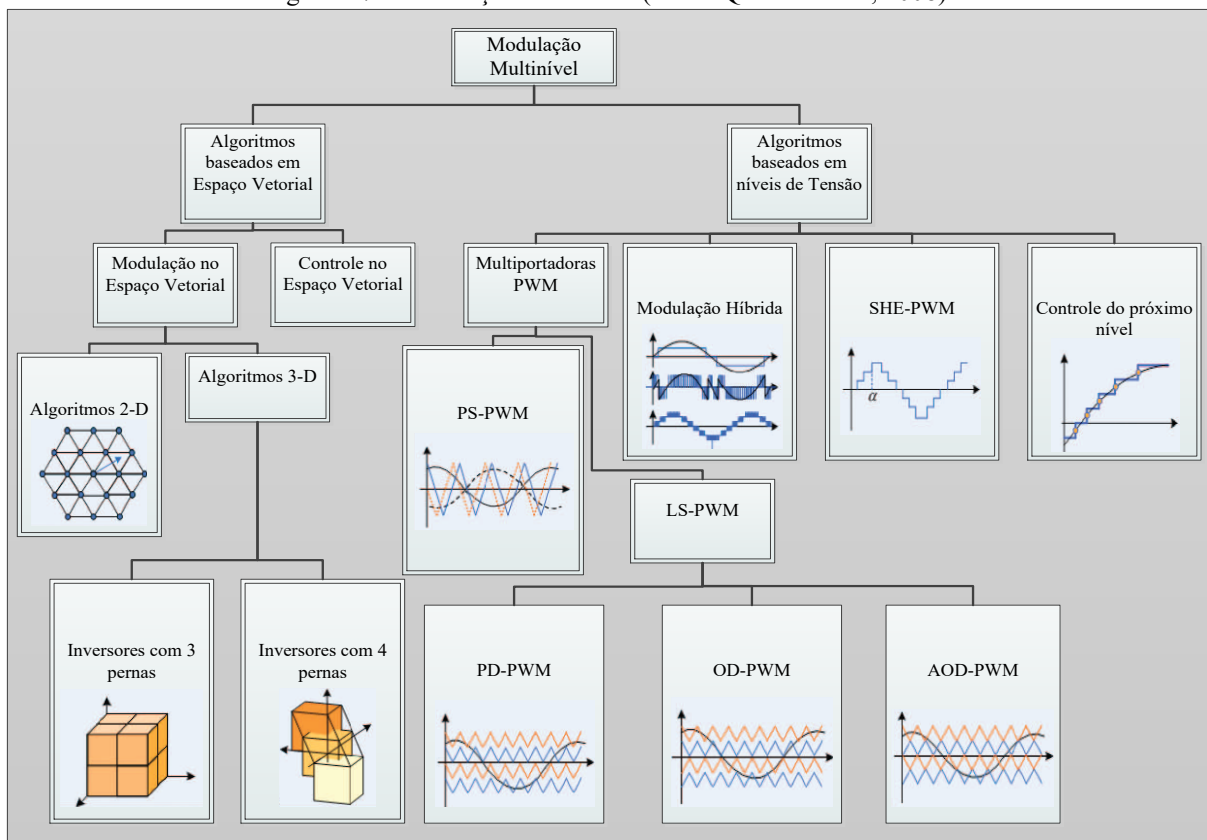
O desempenho de um conversor está diretamente atrelado à escolha adequada da técnica de modulação empregada. O desenvolvimento de novas técnicas é imprescindível para melhorar os índices de qualidade da energia processada através de conversores, assim como o aperfeiçoamento das modulações existentes. As estratégias de acionamento buscam

principalmente reduzir as perdas no inversor, redução no número de comutações, distribuição mais uniforme das perdas, além da redução do conteúdo harmônico da tensão de saída, DHT, e da distorção harmônica total ponderada, WDHT (HOLMES et al., 2003).

A estratégia de modulação mais empregada nos conversores eletrônica de potência é a Modulação por Largura de Pulso (Pulse Width Modulation – PWM). Esta modulação é baseada na variação da razão cíclica do sinal que comanda os interruptores. No caso dos conversores CC-CA, os pulsos de acionamento geram na saída um sinal com conteúdo alternado, com amplitude e frequência ajustáveis.

Dentre as estratégias de modulação para conversores multiníveis, Figura 1.7, os três métodos mais discutidos na literatura são PWM baseada em portadora (*Carrier Based – CB-PWM*), modulação por espaço vetorial (*Space Vector Modulation – SVM*) e eliminação seletiva de harmônicos (*Selective Harmonic Elimination – SHE-PWM*). As três modulações são extensões da técnica tradicional aplicada nos inversores de dois níveis adaptadas à tecnologia multinível. A escolha da modulação a ser aplicada ao inversor ocorre em função dos objetivos a serem alcançados levando em consideração a complexidade de implementação.

Figura 1.7 - Modulação Multinível (FRANQUELO et al., 2008).



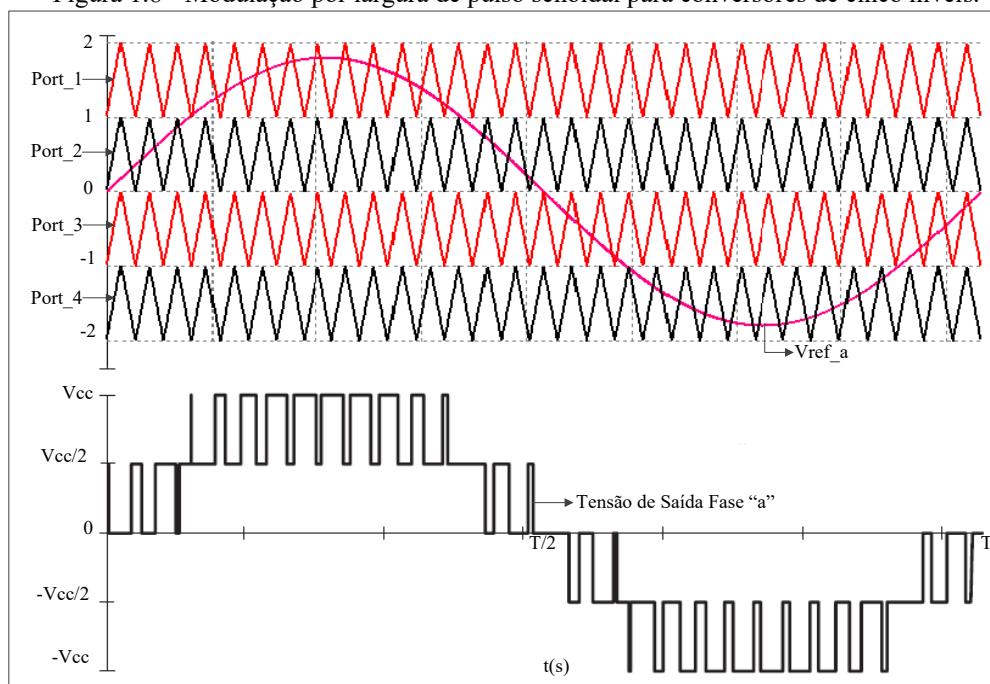
Fonte: Elaborada pelo autor.

### 1.3.1 CB-PWM

As Técnicas de modulação baseadas em portadoras são divididas em dois grupos, a Modulação com as Portadoras com Deslocamento de Fase (*Phase-Shifted Pulse Width Modulation* – PS-PWM) e a Modulação com Portadoras com Deslocamento de Nível (*Level-Shifted Pulse Width Modulation* – LS-PWM). Conforme é mostrado na Figura 1.7, dependendo da disposição das portadoras triangulares a LS-PWM se divide em três tipos distintos: Disposição em fase (*Phase Disposition* – PD-PWM), Disposição em Oposição de Fase (*Phase-Opposition Disposition* – POD-PWM) e Disposição em Oposição com Alternância de Fase (*Alternate Phase-Opposition Disposition* – APOD-PWM).

A técnica CB-PWM consiste na comparação de um sinal senoidal (moduladora) com sinais triangulares de alta frequência (portadoras), resultando em pulsos com largura variável. A facilidade de implementação é um atrativo para utilização desta técnica, além do baixo esforço computacional exigido. As portadoras definem a frequência de chaveamento, enquanto a moduladora determina a amplitude e a frequência do harmônico fundamental. Pelo Teorema de Nyquist, a portadora deve possuir uma frequência, no mínimo, duas vezes maior que o sinal de referência, na prática, essa frequência deve ser pelo menos 10 vezes maior para diminuir a distorção harmônica do sinal de saída do conversor. Em um sistema trifásico devem-se usar três sinais de referência deslocados  $120^\circ$  entre si (FRANQUELO *et al.*, 2008).

Figura 1.8 - Modulação por largura de pulso senoidal para conversores de cinco níveis.



Fonte: Elaborada pelo Autor.

### 1.3.2 SVM

A modulação SVM (*Space-Vector Modulation*), determina a sequência de acionamento dos semicondutores baseada na amostragem de um fasor rotacional na frequência fundamental (vetor da tensão de referência) dentro de um espaço complexo ( $\alpha, \beta$ ) composto por pontos (vetores espaciais estacionários) que representam os possíveis estados de condução do inversor. O sistema de eixos de coordenadas  $\alpha\beta$  é obtido aplicando uma matriz de transformação (Transformada de Clarke) capaz de representar o sistema de eixos de coordenadas  $abc$ , equação (1.1). A Figura 1.8 mostra o Plano  $\alpha\beta$  para conversores de cinco níveis, partindo dos estados de comutação possíveis para o inversor.

A Técnica foi introduzida para conversores multiníveis no início da década de 90 (CHOI et al, 1991). Como vantagens de se utilizar a estratégia SVM podem citar-se: redução do número de comutações dos interruptores, menores perdas de chaveamento, baixa distorção harmônica e possibilidade de modulação senoidal, quando é obtida uma onda moduladora, permitindo equivalência ao método baseado em portadoras, (HOLMES et al., 2003).

$$\begin{bmatrix} V_{\alpha} \\ V_{\beta} \end{bmatrix} = \frac{1}{\sqrt{3}} \times \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \times \begin{bmatrix} V_a \\ V_b \\ V_c \end{bmatrix} \quad (1.1)$$

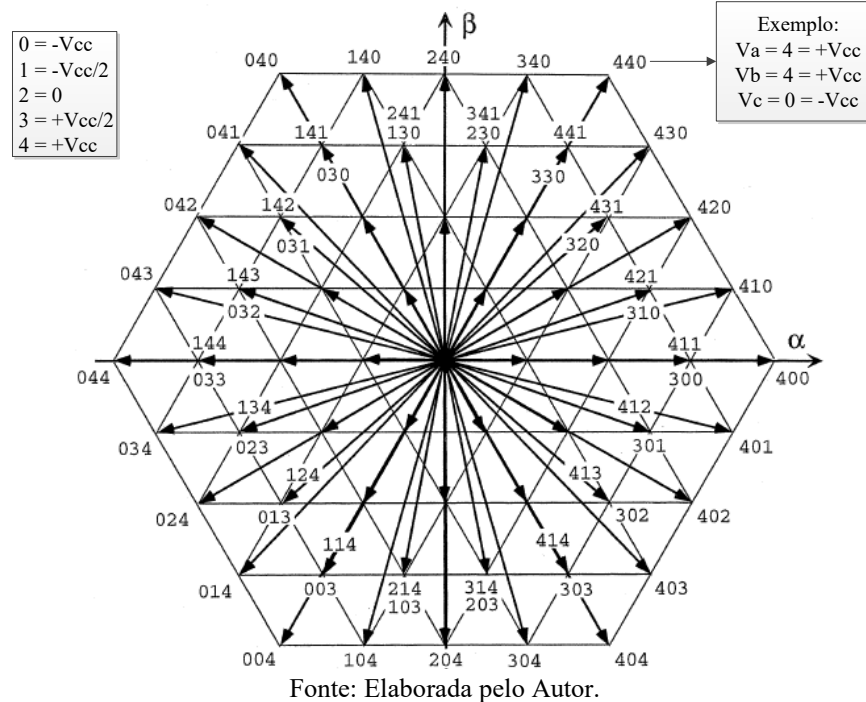
A técnica para aplicar a modulação SVM deve seguir as seguintes etapas:

- Realizar a transformação  $\alpha\beta$ ;
- Definir os setores do plano  $\alpha\beta$  e localizar o vetor de referência dentro destes setores;
- Determinar o intervalo de aplicação de cada um dos três vetores mais próximos ao vetor de referência para sintetizar a tensão desejada;
- Determinar a sequência de acionamento;
- Calcular a razão cíclica (sinal modulador) em cada um dos setores com base nos intervalos de aplicação dos vetores.

Em resumo, um vetor referência se desloca sobre o plano  $\alpha\beta$ , tornando possível calcular o intervalo de aplicação de cada um dos três vetores mais próximos (setor do plano  $\alpha\beta$ ) que sintetizam a tensão desejada. Com posse desses intervalos determina-se a sequência de acionamento e a razão cíclica em cada instante de amostragem para um período completo,

tornando possível obter-se o sinal modulador, o qual deve ser comparado com ondas portadoras para gerar os sinais PWM para acionamento dos interruptores, equivalentemente ao método CB-PWM.

Figura 1.9 - Diagrama espaço vetorial para conversores trifásicos de cinco níveis.



### 1.3.3 SHE-PWM

O início do desenvolvimento da técnica de eliminação seletiva de harmônicos foi na década de 60 por Turnbull, quando se descobriu que os harmônicos de baixa ordem podem ser suprimidos adicionando ângulos de chaveamento na forma de onda quadrada de saída do conversor de dois níveis. Posteriormente, a ideia foi aprimorada ao expressar matematicamente, por meio de equações não-lineares, o conteúdo harmônico da onda gerada na saída destes conversores através da utilização da Série de Fourier. Os ângulos de chaveamento são calculados para minimizar a distorção harmônica total do sinal de tensão da saída. Geralmente, estes ângulos são escolhidos de tal forma que os harmônicos de baixa frequência sejam eliminados ao mesmo tempo em que é feito o ajuste da componente fundamental a valores pré-definidos, conforme será demonstrado posteriormente no capítulo 3 (TURNBULL, 1964; SCHONUNG et al., 1964; BOWES, et al., 1975).

A modulação SHE-PWM tem sido aplicada principalmente nos conversores multiníveis que operam em alta potência e média tensão, na qual tanto as perdas de

comutação, quanto as interferências eletromagnéticas, causadas pela alta variação de tensão durante o chaveamento, são consideravelmente grandes. Para reduzi-las os semicondutores utilizados devem operar em uma baixa frequência, nestes casos os métodos CB-PWM e SVM não são aconselháveis, pois os harmônicos de baixa ordem estariam presentes, o que ocasionaria problemas no sistema de filtragem resultando em interferências como ressonância e ruídos eletromagnéticos (ALMEIDA, 2016; AHMADI et al., 2011).

Assim, as principais vantagens da técnica SHE-PWM são:

- Alto desempenho, mesmo operando em baixas frequências;
- Sistema de filtragem simples, devido conteúdo reduzido de harmônicos de baixa ordem;
- Baixas perdas por comutação;
- Redução das interferências eletromagnéticas;
- Possibilidade de adaptação as mais diversificadas características do projeto, ajustando-se as peculiaridades de cada topologia de inversores.

#### 1.4 CONTROLADORES DIGITAIS

O avanço da eletrônica digital tornou possível a construção de dispositivos controladores com alto grau de flexibilidade, capazes de funcionar nas mais diversas aplicações, facilitando o trabalho dos projetistas. Dentre os dispositivos capazes de controlar o acionamento das chaves de conversores multiníveis destacam-se os microcontroladores PICs e dsPICs (*Programmable Interface Controller*), os DSPs (*Digital Signal Processor*) e os FPGAs (*Field Programmable Gate Array*). A escolha do dispositivo depende das necessidades da aplicação, portanto na fase de projeto deve-se analisar qual destes atenderá melhor as necessidades (HENN, 2012; DA COSTA, 2009).

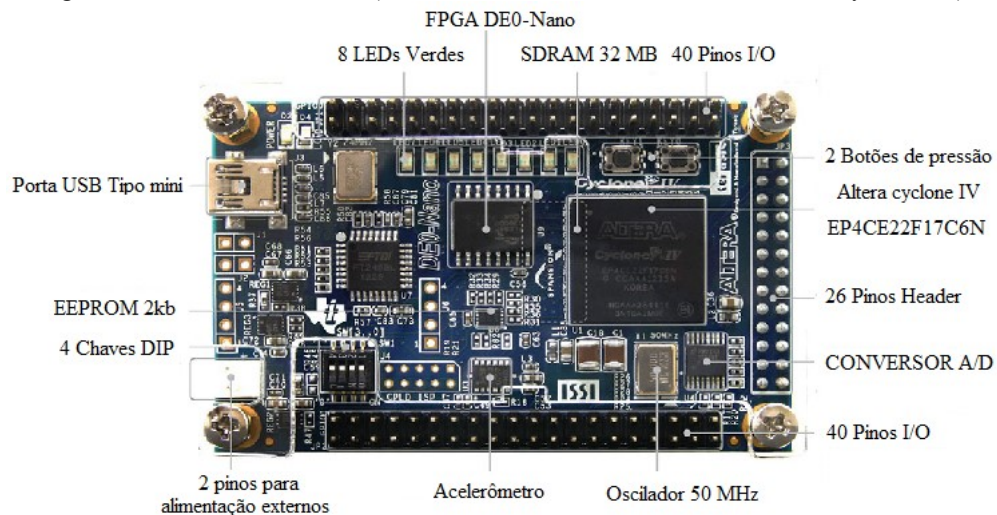
O desenvolvimento de topologias mais eficientes tornaram as configurações dos inversores cada vez mais complexas, possuindo em sua estrutura um número elevado de interruptores, que podem operar com baixa ou alta frequência dependendo das características do projeto. Estas estruturas exigem um dispositivo adequado para implementar a sequência de comutação lógica. A escolha do circuito FPGA (*Field Programmable Gate Array*) na implementação de algoritmos de modulação é vantajosa devido ao seu alto poder de processamento e armazenamento, baixa complexidade de programação, custo reduzido no projeto de sistemas incorporados quando comparado a outros equipamentos, além da

capacidade de efetuar operações paralelas, dependentes ou independentes umas das outras.

O FPGA tem sido usado com sucesso em muitas aplicações do sistema elétrico, como nos conversores de energia, correção do fator de potência, comutação suave, redes neurais aplicadas ao controle de motores de indução, lógica fuzzy para controle de geradores e medição de velocidades. A alta aplicabilidade ocorre porque um controlador baseado em FPGA atende de forma eficiente os desafios atuais e futuros deste campo.

Dentre os principais fabricantes de FPGA destaca-se a ALTERA, que disponibiliza, gratuitamente, o software de programação QUARTUS II. O dispositivo escolhido, EP4CE22F17C6N, da família Cyclone IV, contido na placa DE0-Nano, é mostrado na Figura 1.10, sendo facilmente localizado no mercado, além de apresentar um ótimo custo-benefício. Outra vantagem é a grande quantidade de portas de entrada e saída, que o torna ideal para controlar os diversos interruptores de uma estrutura multinível (HENN, 2012).

Figura 1.10 - Placa DE0-Nano (FPGA modelo EP4CE22F17C6N, família Cyclone IV)

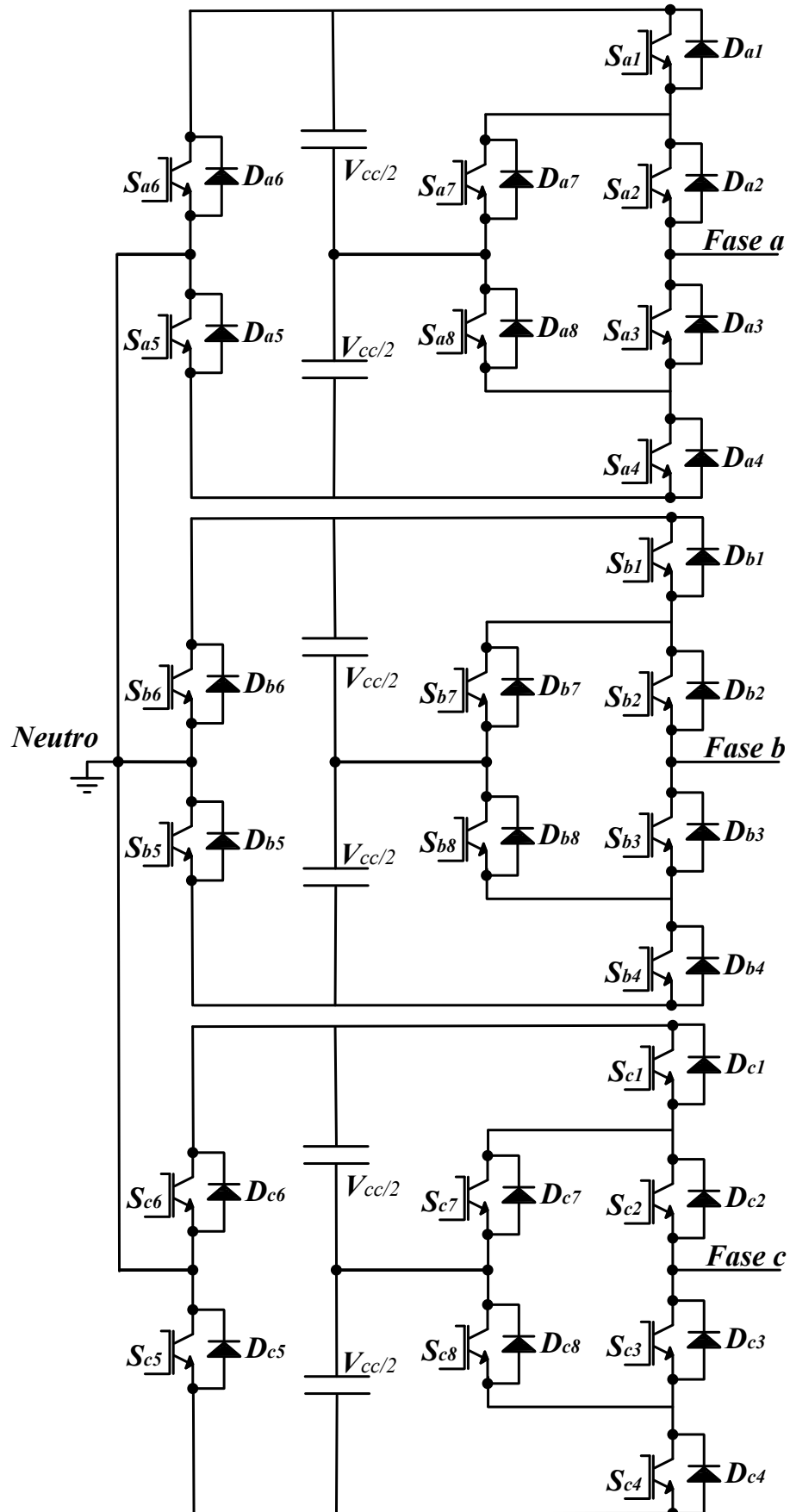


Fonte: Elaborada pelo autor.

## 1.5 PROPOSIÇÃO

A topologia proposta por Silva (2013), Inversor Multinível Híbrido Simétrico Trifásico de Cinco Níveis baseado nas topologias *Half-Bridge* e ANPC, Figura 1.11, apresentou ganhos em termos de eficiência, se comparado à topologia já existente na literatura, *Half-Bridge/NPC*, (DING *et al.*, 2004), pois conserva as características positivas do inversor ANPC, (BRÜCKNER *et al.*, 2001), isto é, a melhor distribuição de perdas nos semicondutores, juntamente com a inserção da meia ponte, que possibilita o aumento no número de níveis na tensão de fase.

Figura 1.11 - Inversor Multinível Híbrido Simétrico Trifásico de Cinco Níveis HB/ANPC.

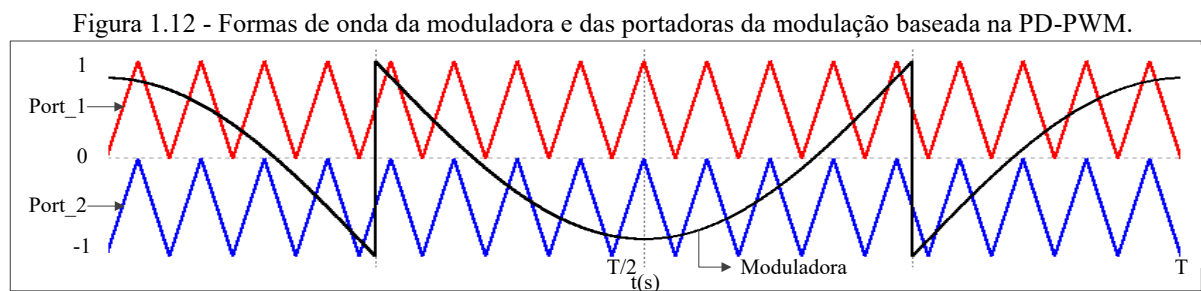


Fonte: Adaptada pelo autor (Silva, 2103).

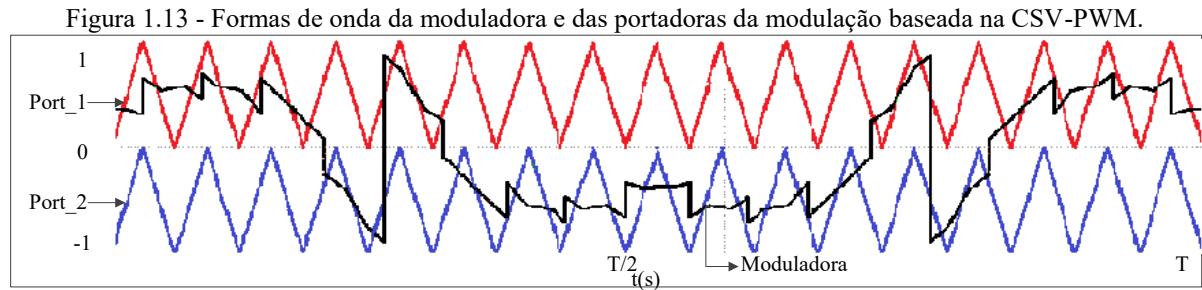


Segundo Silva (2013), a literatura científica faz alusão a uma série de técnicas de modulação, algumas mais complexas e outras mais simples, a escolha entre uma em detrimento de outra, ocorrerá em função dos objetivos a serem alcançados bem como da complexidade de implementação da modulação almejada. Dessa forma, a fim de desenvolver experimentalmente e validar a estrutura de inversor HB/ANPC, Silva adotou duas técnicas de modulação: uma derivada da PD-PWM (DING et al., 2004), enquanto a outra, advinda da CSV-PWM (MCGRATH et al., 2003). As duas modulações foram testadas buscando obter uma redução no número de comutações, distribuição mais uniforme das perdas nos semicondutores, além da redução do conteúdo harmônico da tensão de saída (DHT e WDHT).

A modulação derivada da PD-PWM utiliza como moduladora uma derivação de uma cossenoide com frequência de 60 Hz, na qual um deslocamento negativo é adicionado ao semiciclo positivo, e outro positivo ao semiciclo negativo da cossenoide. A Figura 1.12 apresenta a forma de onda da moduladora e das portadoras com frequência de 1020 Hz.



A modulação derivada da CSV-PWM é uma combinação da modulação proposta em (DING et al., 2004), com a proposta em (MCGRATH et al., 2003). Esta técnica desenvolve um método eficaz para otimizar a sequência de chaveamento baseada no espaço vetorial, obtendo a moduladora de forma simplificada. Essa modulação também utiliza duas portadoras triangulares dispostas em fase, em alta frequência, como a PD-PWM, que iniciam juntamente com a cossenoide modificada, que é o sinal da moduladora com frequência fundamental mostrado na Figura 1.13.



Fonte: Elaborada pelo autor.

Considerando que o desempenho do conversor está diretamente atrelado à escolha adequada da técnica de modulação empregada e que a frequência de chaveamento dos interruptores é uma variável crítica no projeto, este trabalho tem por objetivo aplicar a modulação SHE-PWM ao inversor e comparar o desempenho desta modulação frente as já aplicadas anteriormente nesta estrutura. Assim, a elaboração de uma metodologia para implementar a técnica de eliminação seletiva de harmônicos é detalhada ao longo dos capítulos seguintes, buscando principalmente reduzir as perdas no inversor, reduzir o número de comutações, com isso diminuindo também interferências eletromagnéticas, e melhorar o conteúdo harmônico.

No Capítulo 2 é apresentada a topologia de Inversor Multinível Híbrido Simétrico Trifásico de Cinco Níveis baseado nas topologias *Half-Bridge* e ANPC, com seus possíveis estados de comutação, lógica de acionamento escolhida e detalhamento dos caminhos de corrente durante a operação do inversor.

No Capítulo 3 é desenvolvida a estratégia de modulação SHE-PWM, primeiramente é apresentada a forma de onda na saída do inversor escolhida para eliminar os harmônicos desejados, calculando os ângulos de chaveamento pelo método de Newton-Raphson, finalizando com a implementação digital da técnica usando FPGA.

No Capítulo 4 é realizado um estudo de desempenho do inversor, apresentando uma análise do conteúdo harmônico e estimação das perdas no inversor através de um método implementado no software PSIM.

No Capítulo 5 são apresentados os resultados experimentais referentes à estratégia de modulação SHE-PWM aplicada ao inversor, realizando uma análise comparativa em relação às outras duas modulações já aplicadas por Silva (2013), PD-PWM e CSV-PWM. Sendo mostradas as principais formas de onda, tais como: pulsos de acionamento dos interruptores, esforços de tensão e corrente nos interruptores, tensões de fase e de linha, bem como corrente na carga, estas relacionadas à operação do inversor com potência nominal. Para

embasar a análise comparativa de desempenho da modulação em questão foram coletadas informações sobre o conteúdo harmônico e rendimento do inversor.

No Capítulo 6 são descritas as conclusões e sugestões para trabalhos futuros.

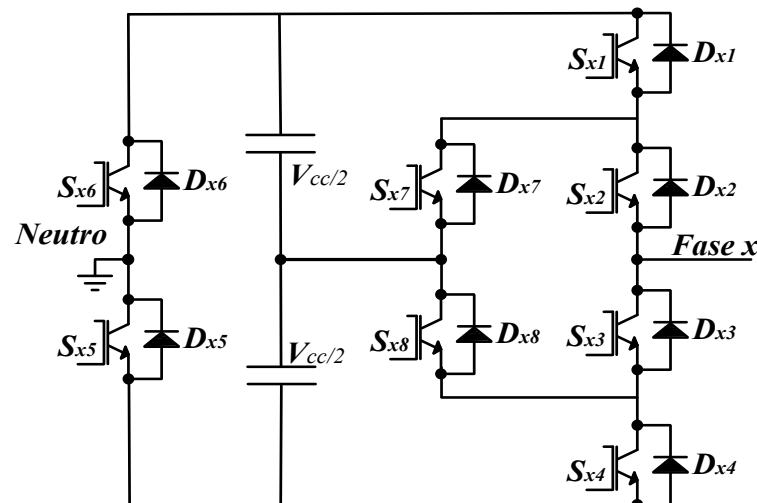
## 2 INVERSOR HB/ANPC DE 5 NÍVEIS

### 2.1 INTRODUÇÃO

O inversor proposto por Silva (2013) é oriundo de duas estruturas amplamente difundidas na literatura, o conversor em meia ponte, que apresenta como principal característica a possibilidade do aumento do número de níveis quando combinado a outras estruturas, juntamente com o ANPC, concebido com o intuito de distribuir as perdas de maneira mais uniforme que a topologia NPC. Este inversor pode ser classificado como pertencente ao grupo de inversores multiníveis simétricos híbridos, operando isoladamente, portanto, não há a preocupação de sincronismo com a rede. A configuração monofásica do inversor é apresentada na Figura 2.1.

Sabendo que o aumento do número de níveis de tensão leva a uma aproximação entre a forma de onda da tensão de saída e a senóide fundamental, o trabalho de Silva (2013) apresenta como proposta uma topologia de cinco níveis projetada com um intuito de desenvolver um inversor mais eficiente. Dentre as vantagens da topologia, pode-se citar: melhor distribuição das perdas, redução do número de semicondutores simultaneamente conduzindo corrente, o que auxilia na redução das perdas de condução, flexibilidade para a implementação de técnicas de modulação de alto desempenho, podendo ser empregada em sistemas de acionamento de motores de grande porte. Como desvantagem, o inversor proposto apresenta elevado número de fontes isoladas, necessárias para alimentar o circuito na configuração trifásica.

Figura 2.1 - Inversor HB/ANPC de cinco níveis (configuração monofásica).



Fonte: Adaptada pelo autor (Silva, 2103).

## 2.2 POSSÍVEIS ESTADOS DE COMUTAÇÃO

Analisando o circuito nota-se a existência de algumas restrições no comando desta topologia são elas: os semicondutores  $S_{x5}$  e  $S_{x6}$  e não podem conduzir ou bloqueados ao mesmo tempo, o mesmo vale aos pares  $S_{x2}$ - $S_{x3}$ ,  $S_{x7}$ - $S_{x8}$  e  $S_{x1}$ - $S_{x7}$ . A Tabela 2.1 apresenta os possíveis estados topológicos.

Tabela 2.1 – Possíveis estados de comutação.

<i>Fase x</i>	$S_{x1}$	$S_{x2}$	$S_{x3}$	$S_{x4}$	$S_{x5}$	$S_{x6}$	$S_{x7}$	$S_{x8}$
$-V_{cc}/2$	0	0	1	0	0	1	0	1
$-V_{cc}/2$	0	0	1	0	0	1	1	1
$V_{cc}/2$	0	0	1	0	1	0	0	1
$V_{cc}/2$	0	0	1	0	1	0	1	1
$-V_{cc}$	0	0	1	1	0	1	0	0
$-V_{cc}$	0	0	1	1	0	1	1	0
$\theta$	0	0	1	1	1	0	0	0
$\theta$	0	0	1	1	1	0	1	0
$-V_{cc}/2$	0	1	0	0	0	1	1	0
$-V_{cc}/2$	0	1	0	0	0	1	1	1
$V_{cc}/2$	0	1	0	0	1	0	1	0
$V_{cc}/2$	0	1	0	0	1	0	1	1
$-V_{cc}/2$	0	1	0	1	0	1	1	0
$V_{cc}/2$	0	1	0	1	1	0	1	0
$-V_{cc}/2$	0	1	1	0	0	1	0	1
$-V_{cc}/2$	0	1	1	0	0	1	1	0
$-V_{cc}/2$	0	1	1	0	0	1	1	1
$V_{cc}/2$	0	1	1	0	1	0	0	1
$V_{cc}/2$	0	1	1	0	1	0	1	0
$V_{cc}/2$	0	1	1	0	1	0	1	1
$-V_{cc}$	0	1	1	1	0	1	0	0
$\theta$	0	1	1	1	1	0	0	0
$-V_{cc}/2$	1	0	1	0	0	1	0	1
$V_{cc}/2$	1	0	1	0	1	0	0	1
$-V_{cc}$	1	0	1	1	0	1	0	0
$\theta$	1	0	1	1	1	0	0	0
$\theta$	1	1	0	0	0	1	0	0
$\theta$	1	1	0	0	0	1	0	1
$V_{cc}$	1	1	0	0	1	0	0	0
$V_{cc}$	1	1	0	0	1	0	0	1
$\theta$	1	1	0	1	0	1	0	0
$V_{cc}$	1	1	0	1	1	0	0	0
$\theta$	1	1	1	0	0	1	0	0
$V_{cc}$	1	1	1	0	1	0	0	0

Fonte: Adaptada pelo autor (Silva, 2103).

Portanto, existem oito possibilidades para se obter o nível  $\theta$  de tensão, quatro para gerar o nível de tensão  $V_{cc}$ , quatro para  $-V_{cc}$ , nove para o nível  $V_{cc}/2$ , assim como outros nove que geram  $-V_{cc}/2$ . Assim, utilizando-se uma modulação adequada, têm-se os cinco níveis desejados na tensão de saída deste inversor. Ressaltando que estas possibilidades são para um braço do inversor.

### 2.3 LÓGICA DE ACIONAMENTO PARA O INVERSOR HB/ANPC

Para obter-se uma saída que se aproxima de uma senóide com cinco níveis é preciso controlar os interruptores através de uma lógica de acionamento. Assim, fazendo o sinal de saída variar em níveis determinados, de tal maneira que a corrente na carga seja alternada, com a frequência desejada, a lógica de acionamento dos interruptores escolhida para produzir cinco níveis de tensão na saída deste inversor é descrita da seguinte forma:

- 1)  $S_{x4}$  é mantido ligado durante o semi-ciclo positivo reduzindo as comutações;
- 2)  $S_{x5}$  é mantido ligado, logo  $S_{x6}$  permanece bloqueado;
- 3) Para um nível de tensão entre  $V_{cc}/2$  e  $V_{cc}$ ,  $S_{x2}$  é mantida ligada e ativa-se  $S_{x1}$  para  $V_{cc}$  ou  $S_{x7}$  para  $V_{cc}/2$ ;
- 4) Para um nível de tensão  $\theta$ ,  $S_{x3}$  é ativada;
- 5) Para o semi-ciclo negativo, faz-se o complementar destes estados, pois o conversor é simétrico.

A Tabela 2.2 a seguir simplifica a lógica do acionamento dos semicondutores para que se obtenham os níveis de tensão desejados. Por exemplo, quando se ativam os semicondutores Sa5, Sa2 e Sa1 a saída será igual a  $+V_{cc}$ . Caso haja a comutação de Sa1 e Sa7, tem-se na saída  $+V_{cc}/2$ , assim por diante.

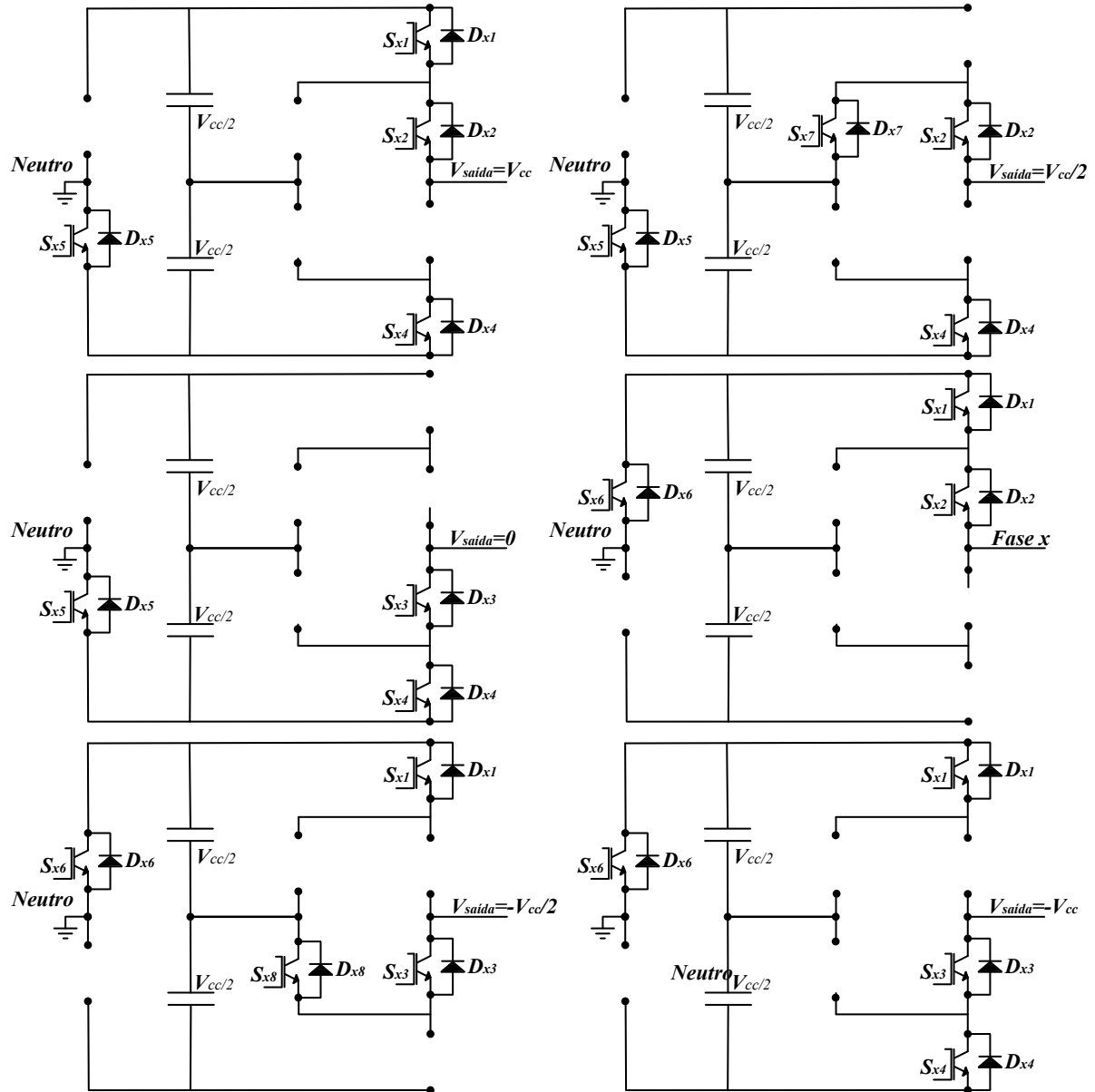
Tabela 2.2 – Estados de condução.

<i>Fase x</i>	$S_{x1}$	$S_{x2}$	$S_{x3}$	$S_{x4}$	$S_{x5}$	$S_{x6}$	$S_{x7}$	$S_{x8}$
$+V_{cc}$	1	1	0	1	1	0	0	0
$+V_{cc}/2$	0	1	0	1	1	0	1	0
$\theta$	0	0	1	1	1	0	0	0
$\theta$	1	1	0	0	0	1	0	0
$-V_{cc}/2$	1	0	1	0	0	1	0	1
$-V_{cc}$	1	0	1	1	0	1	0	0
<b>Chave ligada</b>								1
<b>Chave desligada</b>								0

Fonte: Elaborada pelo autor.

A Figura 2.2 permite uma melhor visualização de quais semicondutores estarão ativos e qual o nível de tensão está relacionado a esta configuração.

Figura 2.2 - Configuração dos estados de condução.



Fonte: Elaborada pelo autor.

## 2.4 CONSIDERAÇÕES FINAIS

Neste capítulo foi apresentada algumas características do Inversor Multinível Híbrido Simétrico Trifásico de Cinco Níveis baseado nas topologias *Half-Bridge* e ANPC, como os possíveis estados de comutação e da lógica de acionamento escolhida para que se consigam os cinco níveis de tensão desejados na saída do inversor.

### 3 TÉCNICA DE MODULAÇÃO SHE-PWM APLICADA AO INVERSOR HB/ANPC

#### 3.1 INTRODUÇÃO

No caso das técnicas de modulação baseada em portadoras, o aumento na frequência de comutação melhora o conteúdo harmônico, entretanto, se torna uma variável crítica ao elevar as perdas por chaveamento além de gerar interferência eletromagnética em outros sistemas, principalmente nas aplicações de média e alta tensão. A técnica SHE-PWM apresenta como principal vantagem, em relação às demais, o ótimo desempenho mesmo operando em baixa frequência de comutação, controlando diretamente os harmônicos mais prejudiciais ao sistema. Como desvantagem pode-se citar a complexidade de implementar o método de forma *on-line*, devido ao custo computacional para determinar os ângulos de acionamento (ALMEIDA, 2016).

Assim, neste capítulo apresenta-se um método de implementação digital da técnica de modulação SHE-PWM usando FPGA, visando controlar o acionamento dos interruptores de um inversor trifásico de cinco níveis baseado nas topologias HB (*Half-Bridge*) e ANPC (*Active Neutral Point Clamped*).

#### 3.2 APRESENTAÇÃO DA FORMA DE ONDA DESEJADA NA SAÍDA

A técnica de modulação SHE-PWM é baseada na geração de uma sucessão de pulsos com largura variável para estabelecer uma tensão de saída livre de harmônicos de baixa ordem. Considerando que o inversor tem as três fases equilibradas, então os harmônicos de terceira ordem e seus múltiplos são nulos, e devido à simetria de meia-onda, os harmônicos de ordem par também são nulos.

Na literatura existem várias propostas para determinar a forma de onda e os ângulos de chaveamento, sendo que a formulação mais simples assume que a forma de onda sintetizada pelo conversor apresenta simetria de quarto de onda. Isto simplifica o processo de formulação, pois resulta em um menor número de equações que requerem solução, as quais são resolvidas neste trabalho pelo método numérico de Newton-Raphson. (CHERCHALI et al., 2011; DAHIDAH et al., 2015; AHMADI et al., 2011).

Encontrar a forma de onda SHE-PWM é o primeiro desafio na implementação da referida técnica de modulação, levando em consideração o número de níveis do inversor e a quantidade de harmônicos que se deseja eliminar. Visando a aplicação em acionamento de



motores elétricos, e sabendo que os harmônicos mais indesejáveis para um bom funcionamento destes equipamentos são os primeiros harmônicos não múltiplos de 3 (5°, 7°, 11°, 13° e 17°), torna-se interessante eliminá-los. Sabendo que seis chaveamentos fornecem seis graus de liberdade nas equações não-lineares a serem resolvidas e que para ajustar o índice de modulação é consumido um grau de liberdade, é possível ainda eliminar os cinco harmônicos, conforme é explanado a seguir.

Tomando o primeiro quarto de onda da tensão de saída como um sinal genérico mostrado na Figura 3.1, com 6 ângulos de chaveamento, a decomposição em séries de Fourier, é estabelecida pelas equações (3.1), (3.2) e (3.3), resultando na equação (3.4). Em seguida, para calcular os ângulos que eliminam os cinco harmônicos manipula-se o sistema de equações não-lineares (3.5) através do método numérico de Newton-Raphson.

Figura 3.1: Primeiro quarto de onda da tensão de saída.



Fonte: Elaborada pelo autor.

$$V(\omega t) = a_0 + \sum_{n=1}^{\infty} (a_n \cos(n\omega_0 t) + b_n \sin(n\omega_0 t)) \quad (3.1)$$

Se:

$$\begin{cases} a_0 = 0, \text{ porque a função é ímpar} \\ a_n = 0, \text{ para todo } n, \text{ porque a função é ímpar} \\ b_n = 0, \text{ para } n \text{ par, por causa da simetria de meia-onda} \\ b_n = \frac{2}{\pi/2} \int_0^{\pi/2} V(\omega t) \sin(n\omega_0 t) dt, \text{ para } n \text{ ímpares} \end{cases} \quad (3.2)$$

$$V(\omega t) = b_n \sin(n\omega_0 t) \quad (3.3)$$

Após a integração:

$$b_n = 4 \frac{V_{cc}/2}{n\pi} [\cos(n\alpha_1) - \cos(n\alpha_2) + \cos(n\alpha_3) - \cos(n\alpha_4) + 2 \cos(n\alpha_4) - 2 \cos(n\alpha_5) + \cos(n\alpha_5) - \cos(n\alpha_6) + 2 \cos(n\alpha_6) - 2 \cos(n\pi/2)] \quad (3.4)$$

Para os cinco harmônicos que se deseja eliminar ( $b_5, b_7, b_{11}, b_{13}$  e  $b_{17} = 0$ ), tem-se o seguinte sistema de equações não-lineares:

$$\begin{cases} \cos \alpha_1 - \cos \alpha_2 + \cos \alpha_3 + \cos \alpha_4 - \cos \alpha_5 + \cos \alpha_6 = \frac{b_1 \pi}{(2V_{cc})} \\ \cos 5\alpha_1 - \cos 5\alpha_2 + \cos 5\alpha_3 + \cos 5\alpha_4 - \cos 5\alpha_5 + \cos 5\alpha_6 = 0 \\ \cos 7\alpha_1 - \cos 7\alpha_2 + \cos 7\alpha_3 + \cos 7\alpha_4 - \cos 7\alpha_5 + \cos 7\alpha_6 = 0 \\ \cos 11\alpha_1 - \cos 11\alpha_2 + \cos 11\alpha_3 + \cos 11\alpha_4 - \cos 11\alpha_5 + \cos 11\alpha_6 = 0 \\ \cos 13\alpha_1 - \cos 13\alpha_2 + \cos 13\alpha_3 + \cos 13\alpha_4 - \cos 13\alpha_5 + \cos 13\alpha_6 = 0 \\ \cos 17\alpha_1 - \cos 17\alpha_2 + \cos 17\alpha_3 + \cos 17\alpha_4 - \cos 17\alpha_5 + \cos 17\alpha_6 = 0 \end{cases} \quad (3.5)$$

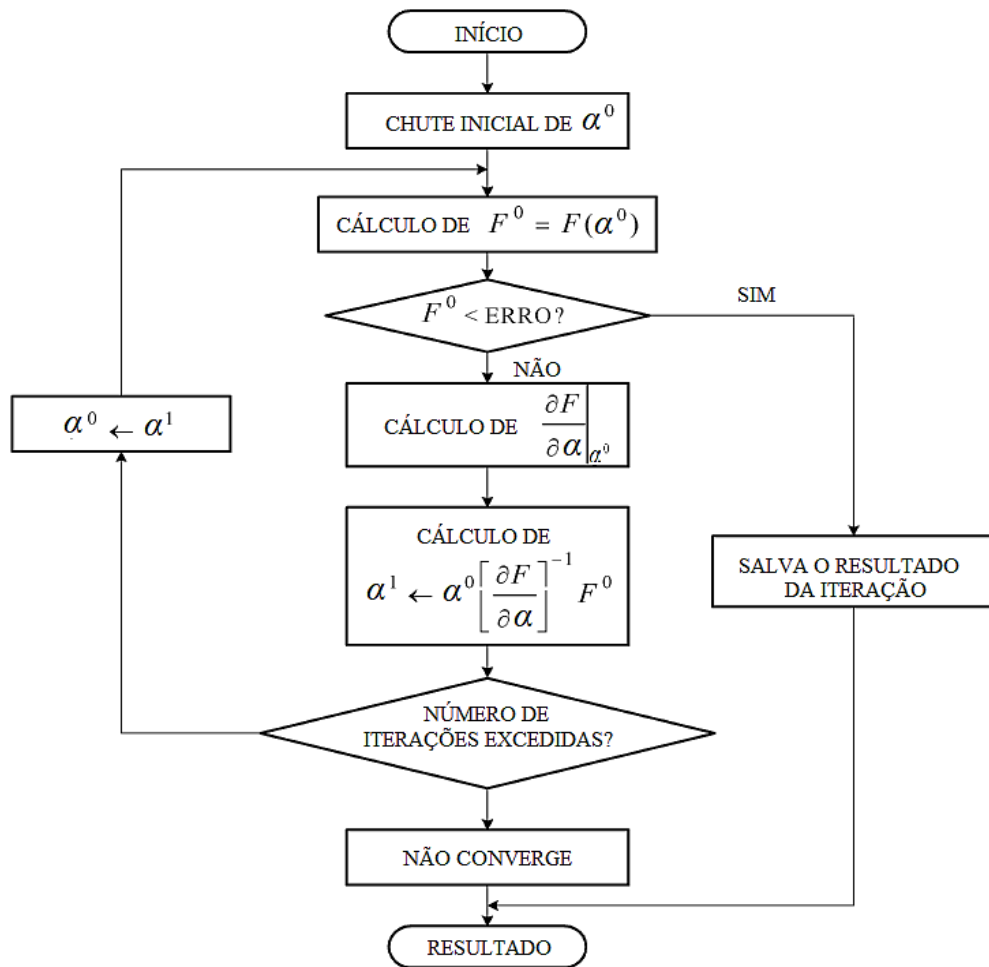
É importante lembrar que o índice de modulação é a relação entre o harmônico fundamental com o valor da tensão contínua fornecida pela fonte, equação (3.6), e tem influência na solução do sistema que define os ângulos de chaveamento. Dependendo do valor do índice de modulação e do número de níveis da tensão de saída, o sistema pode não ter solução. Para o caso específico deste trabalho com a tensão de saída possuindo 5 níveis, existe solução apenas para a faixa de índices que vai de 0,5 a 0,9.

$$m = \frac{b_1}{V_{cc}} \quad (3.6)$$

### 3.3 MÉTODO DE NEWTON-RAPHSON PARA O CÁLCULO DOS ÂNGULOS DE COMUTAÇÃO

Conforme descrito anteriormente o sistema (3.5) é resolvido pelo método numérico de Newton-Raphson, implementado no software MATLAB, assim o FPGA não realiza nenhum esforço computacional para calcular os ângulos de acionamento, pois estes são calculados previamente (*off-line*). A Figura 3.2 mostra o fluxograma do método.

Figura 3.2 - Fluxograma do método de Newton-Raphson.



Fonte: Elaborada pelo autor.

Devido à simetria de quarto de onda é possível estabelecer a forma de onda do período completo, com todos os vinte e quatro ângulos de chaveamento, partindo dos seis primeiros ângulos calculados. A Tabela 3.1 mostra os ângulos de chaveamento para o primeiro quarto de ciclo quando se varia o índice de modulação ( $m$ ) dentro do intervalo onde o sistema pode ser solucionado.

Tabela 3.1 - Ângulos de chaveamento.

Ângulo de chaveamento	$m=0,5$	$m=0,6$	$m=0,7$	$m=0,8$	$m=0,9$
$\alpha_1$	41,7047°	10,7725°	14,4378°	18,2183°	19,9876°
$\alpha_2$	47,9951°	17,3929°	18,7085°	23,7222°	26,7637°
$\alpha_3$	53,4801°	38,1118°	37,587°	34,395°	31,389°
$\alpha_4$	76,5091°	50,2864°	64,0031°	61,4531°	57,0614°
$\alpha_5$	79,8981°	51,3619°	69,5953°	71,6685°	60,6423°
$\alpha_6$	86,8462°	83,5104°	78,6851°	76,4822°	62,6326°

Fonte: Elaborada pelo autor.

### 3.4 IMPLEMENTAÇÃO DIGITAL PROPOSTA

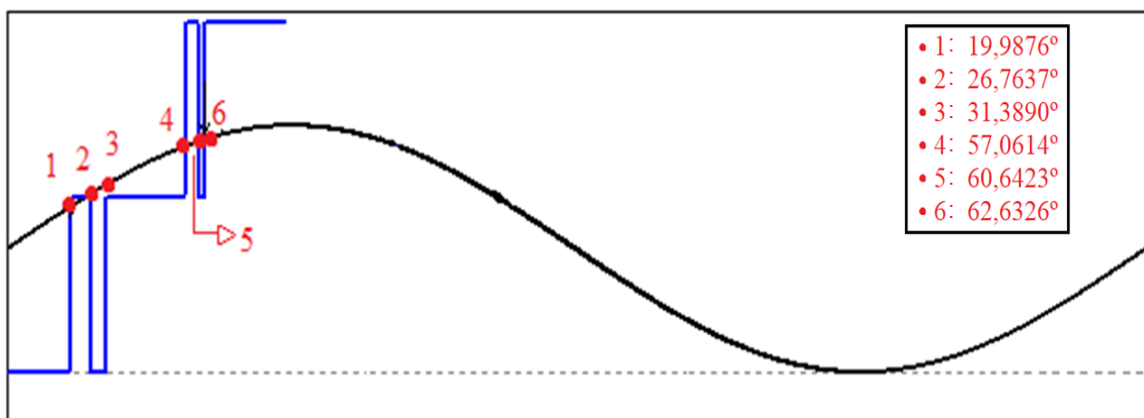
A implementação digital da estratégia de controle dos interruptores do inversor multinível foi realizada utilizando um circuito FPGA, EP2C22F17C6 (DE0-Nano), família Cyclone IV, desenvolvido pela ALTERA. A programação elaborada usa linguagem VHDL (*Very High Speed Integrated Circuits Hardware Description Language*) no software QUARTUS II. O modelo desenvolvido pode ser facilmente alterado para ser usado em outros tipos de inversores multiníveis.

#### 3.4.1 IMPLEMENTAÇÃO DIGITAL DA SENÓIDE DE REFERÊNCIA

Para inserir digitalmente os instantes de chaveamento para cada um dos interruptores, foi idealizada uma senóide de referência, equação (3.7), deslocada positivamente para viabilizar a implementação no FPGA que trabalha com valores positivos. Assim, cada ângulo de chaveamento calculado corresponde a uma determinada amplitude desta senóide genérica. A Figura 3.3 mostra a relação da amplitude da senóide com os ângulos calculados anteriormente, para o primeiro quarto de ciclo do sinal de tensão, o qual também é exposto na ilustração. Para o restante do ciclo o procedimento é repetido analogamente.

$$A(\alpha_i) = 120 \text{sen}(\alpha_i) + 120 \quad (3.7)$$

Figura 3.3 - Senóide Digital de referência.



Fonte: Elaborada pelo autor.

O sinal de referência elaborado apresenta uma frequência de 60 Hz, que digitalmente é representado por uma tabela de números inteiros de 8 bits. Para diminuir as

deformações da representação, são armazenados 960 pontos em um vetor de valores inteiros, representando um período completo do sinal de uma das fases. Para as fases “b” e “c” basta iniciar a contagem em 2/3 de 960 e 1/3 de 960, respectivamente.

A placa DE0-Nano disponibiliza uma frequência de 50 MHz (frequência de entrada), e a senóide gerada deve ter 60 Hz. A fim de proporcionar esta frequência, foi realizado o cálculo, equação (3.8), que relaciona os 960 valores armazenados com a frequência desejada, gerando um novo valor de frequência ( $f_{pll}$ ). Este valor calculado é necessário para que não exista erro na geração do sinal.

$$f_{pll} = N_{\text{pontos}} * f_{\text{senóide}} * X_{\text{div}} = 960 * 60 * 1000 = 57,6 \text{ MHz} \quad (3.8)$$

Onde:

$N_{\text{pontos}}$  = Número de pontos armazenados;

$f_{\text{senóide}}$  = frequência fundamental;

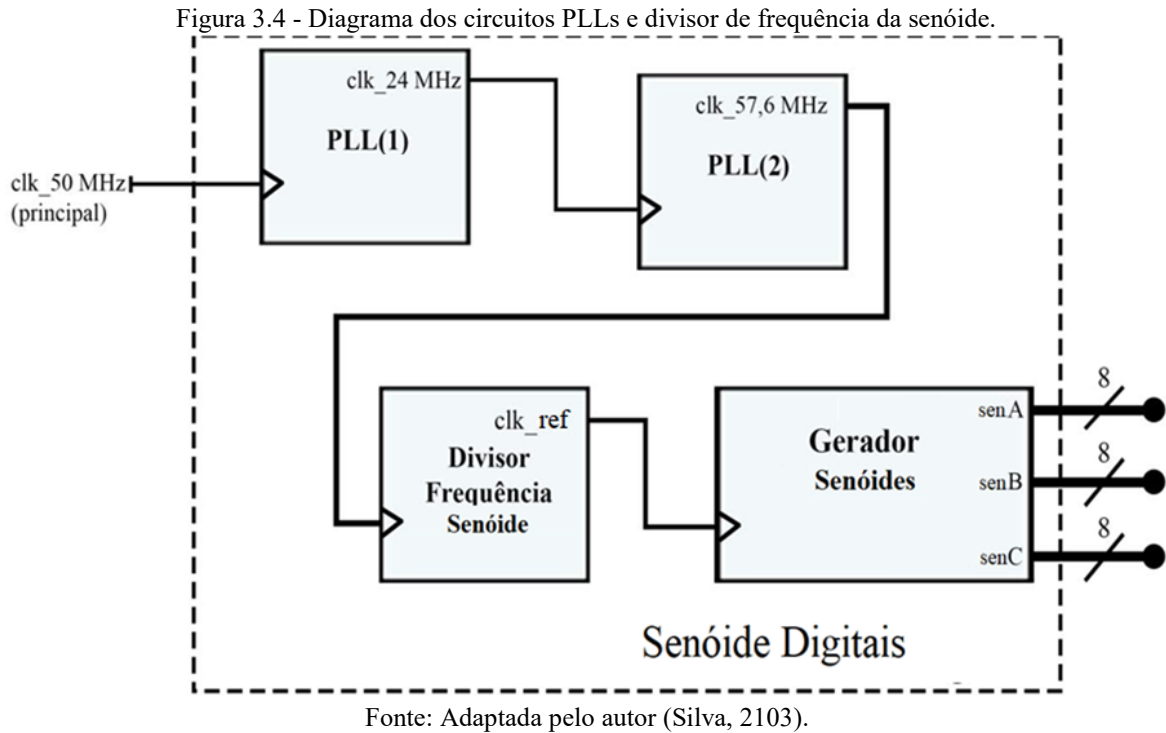
$X_{\text{div}}$  = divisor inteiro escolhido;

Recalculando a frequência para um divisor  $X_{\text{div}} = 1000$ :

$$f_{\text{senóide}} = \frac{57,6 * 10^6}{1000 * 960} = 60 \text{ Hz} \quad (3.9)$$

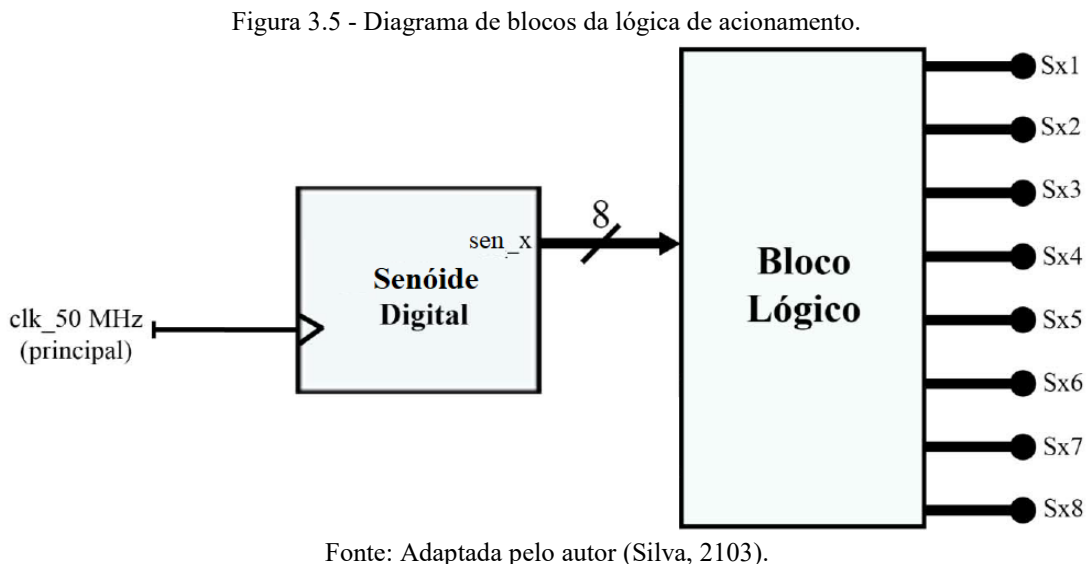
Para produzir um clock de 57,6 MHz utilizam-se dois dos quatro circuitos PLLs (*Phase Locked Loop*) disponíveis na placa. O primeiro servindo como divisor de frequência e o segundo como multiplicador, a justificativa da necessidade do primeiro PLL servindo como divisor dá-se por limitações de *hardware*. Na implementação de um circuito PLL, internamente, o FPGA inicialmente multiplica o valor da frequência de *clock* (50 MHz), para então dividi-la, resultando no valor desejado na saída. Uma vez que o dispositivo FPGA utilizado no projeto não suporta multiplicações que ultrapassem a frequência de 1,3 GHz, reduzir o *clock* de entrada do circuito PLL foi uma medida adequada, tendo em vista suas limitações.

A Figura 3.4 apresenta o diagrama de blocos representativo dos circuitos PLLs e do divisor de frequência da senóide. Concluída a geração das senóides devidamente tabeladas, defasadas e com 8 bits, inicia-se o processo de geração dos pulsos relativos aos interruptores.



### 3.4.2 IMPLEMENTAÇÃO DIGITAL DA LÓGICA DE ACIONAMENTO

A implementação do bloco lógico que controla o acionamento dos interruptores do inversor foi também desenvolvida em linguagem VHDL, por padronização do projeto, mas a mesma poderia usar qualquer outra ferramenta do software QUARTUS II, como o diagrama de blocos, já que a lógica é relativamente simples e não requer grandes esforços em descrição de hardware para ser desenvolvida. A Figura 3.5 apresenta um diagrama de blocos representativo da lógica de acionamento.



### 3.5 CONSIDERAÇÕES FINAIS

Este capítulo apresentou a implementação digital da técnica de modulação SHE-PWM, aplicada em um inversor híbrido HB/ANPC de cinco níveis, utilizando FPGA para gerar os pulsos de acionamento dos interruptores. Todo o projeto foi desenvolvido para ser facilmente modificado para realizar testes e coletar resultados, tornando a descrição mais flexível e adaptável a qualquer outro inversor. O conhecimento exigido é da linguagem de programação, que pode ser VHDL ou Verilog, e embora ambas sejam eficazes, o VHDL está se tornando o padrão IEEE.

A escolha do controlador FPGA deu-se devido à facilidade em desenvolver circuitos específicos, projetados diretamente para a aplicação desejada, sendo economicamente viável.

Alguns desafios em relação à temporização do sistema surgiram e foram superadas fazendo uso de circuitos multiplicadores de frequência. Estatisticamente, todo o circuito desenvolvido ocupou menos de 10% de sua capacidade total, portanto, não foi necessário utilizar métodos que pudessem otimizar a programação do circuito.

Vale ressaltar o fato de que este dispositivo possui grande velocidade de processamento, facilidade de programação e reconfiguração em pequenos ajustes e grande quantidade de portas de entrada e saída, sendo esta última característica muito importante devido ao grande número de interruptores presentes nas estruturas de inversores multiníveis.

## 4 ESTUDO DE DESEMPENHO DO INVERSOR MULTINÍVEL OPERANDO COM MODULAÇÃO SHE-PWM

### 4.1 INTRODUÇÃO

Neste capítulo é apresentado um estudo de desempenho por simulação do inversor multinível HB/ANPC operando com a modulação SHE-PWM. O circuito foi simulado no software PSIM, obtendo-se primeiramente os pulsos de acionamento para cada semicondutor, as formas de onda das tensões de fase e de linha com seus respectivos espectros harmônicos. Em seguida, é apresentada a corrente na carga juntamente com os esforços de corrente em cada interruptor, e para finalizar é realizado um estudo de perdas através de simulação no mesmo software supracitado, para um índice de modulação de 0,9.

A literatura científica tem discutido diversas metodologias para o cálculo das perdas, quase sempre, utilizando técnicas analíticas. Apesar de calcular as perdas com uma ótima precisão, estas técnicas tem um lado desfavorável que é o tempo gasto para realizar os cálculos. Uma boa solução para diminuir o tempo necessário para estimar as perdas, mantendo uma boa precisão, é desenvolver e utilizar métodos de simulação.

O estado da arte fornece alguns trabalhos que propõem a simulação através de softwares como solução viável para diminuir os esforços ao estimar as perdas nos semicondutores. A maioria dos métodos de simulação utilizam modelos ideais de chaves combinados com os dados fornecidos pelos *datasheets*. Algumas publicações como as de Liu, *et al.*, (2001), Munk-nielsen, *et al.*, (2000), Odaka, *et al.*, (2004), Rajapakse, *et al.*, (2005), Drogenik, *et al.*, (2005), alcançaram uma relevância notável, no que se refere à simulação de perdas. Seguindo o raciocínio de Drogenik, *et al.*, (2005), é buscando melhorias no processo de estimação destas perdas, que encontra-se a necessidade do desenvolvimento de um método de simulação que possua uma alta precisão, com um mínimo esforço.

Um esquema geral para calcular as perdas em semicondutores é proposto por Drogenik, *et al.*, (2005), em seu trabalho que tem o seguinte título: “*A General Scheme for Calculating Switching and Conduction-Losses of Power Semiconductors in Numerical Circuit Simulations of Power Electronic Systems*” (Um esquema geral para calcular as perdas por condução e comutação, utilizando simulações numéricas em sistemas de eletrônica de potencia). Esta metodologia consiste em aproximar o cálculo das perdas em circuitos que utilizam semicondutores, através das curvas características do material utilizado, fornecidas em seu *datasheet*, por meio de simulação.



## 4.2 CONTEÚDO HARMÔNICO

A Tabela 4.1 apresenta os principais parâmetros de projeto do inversor, necessários tanto para simular o circuito quanto para montar o protótipo detalhado no próximo capítulo.

Tabela 4.1 - Especificações para simulação e construção do protótipo.

<i>Parâmetros do projeto</i>	
<b>Tensão do barramento CC</b>	$V_{CC}=340\text{ V}$
<b>Frequência fundamental de saída</b>	$f_o = 60\text{ Hz}$
<b>Fator de potência da carga</b>	$FP=0,92$
<b>Resistência da carga</b>	$R = 17,713\Omega$
<b>Indutância da carga</b>	$L = 20\text{ mH}$
<b>Potência aparente total</b>	$S=7,5\text{ kVA}$
<b>Tensão de saída (rms)</b>	$V=220/380\text{ V}$
<b>Chaves Sa1, Sa4, Sa7 e Sa8</b>	Módulo SKM75GB063D
<b>Chaves Sa2, Sa3, Sa5 e Sa6</b>	Módulo SKM145GB066D
<b>Driver do circuito de comando</b>	SKHI 22BR

Fonte: Elaborada pelo autor.

As equações a seguir apresentam, respectivamente, o cálculo dos valores eficaz e de pico da tensão e da corrente de saída, potência ativa, impedância equivalente, resistência e indutância de carga por fase, respectivamente.

$$V_{o\_ph\_ef} = \frac{V_{o\_ll\_ef}}{\sqrt{3}} = 219,39\text{ V} \quad (4.1)$$

$$V_{o\_ph\_pk} = \sqrt{2} \times 219,39 = 310,22\text{ V} \quad (4.2)$$

$$P_{o\_3\phi} = S_{o\_3\phi} \times \cos\theta_o = 6,9\text{ kW} \quad (4.3)$$

$$P_{o\_φ} = P_{o\_3\phi} / 3 = 2,3\text{ kW} \quad (4.4)$$

$$I_{o\_ph\_ef} = P_{o\_φ} / V_{o\_ph\_ef} = 11,395\text{ A} \quad (4.5)$$

$$I_{o\_ph\_pk} = \sqrt{2} \times 11,395 = 16,115\text{ A} \quad (4.6)$$

$$Z_o = S_{o_\varphi} / I_{o_{ph\_ef}}^2 = 19,253 \, \Omega \quad (4.7)$$

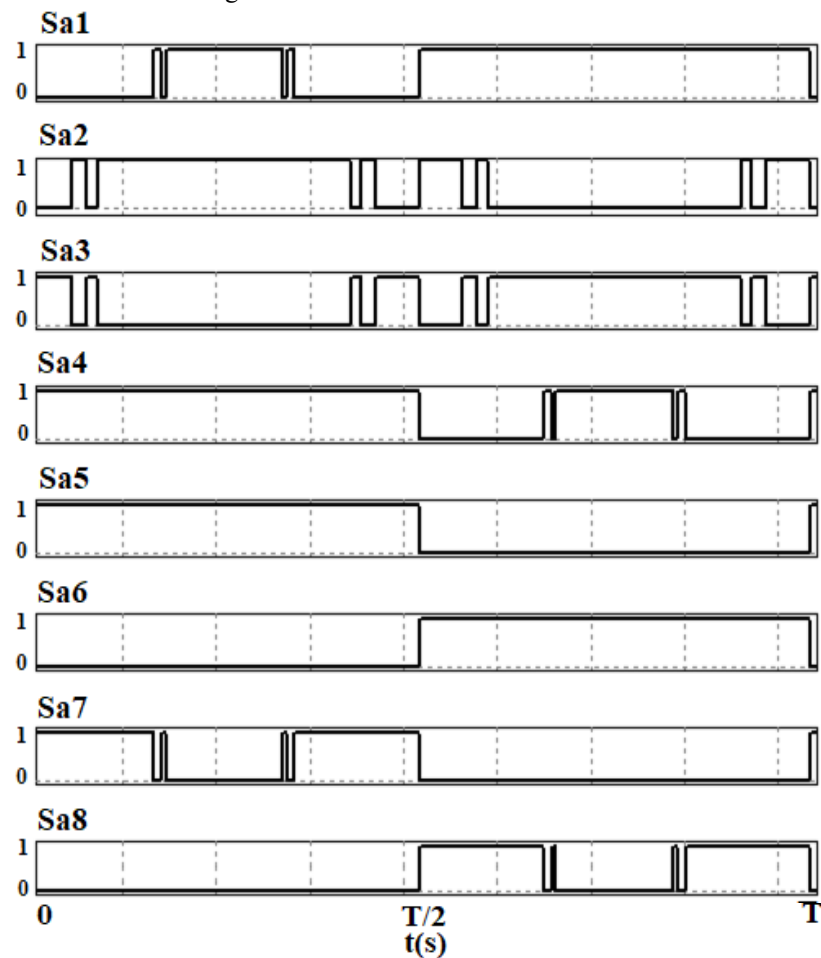
$$R_o = P_{o_\varphi} / I_{o_{ph\_ef}}^2 = 17,713 \, \Omega \quad (4.8)$$

$$L_o = \sqrt{Z_o^2 - R_o^2} / 2 \times \pi \times f_o = 20 \, \text{mH} \quad (4.9)$$

Tem-se, portanto, que a carga utilizada deve possuir uma resistência de 17,713  $\Omega$  e uma indutância de 20 mH.

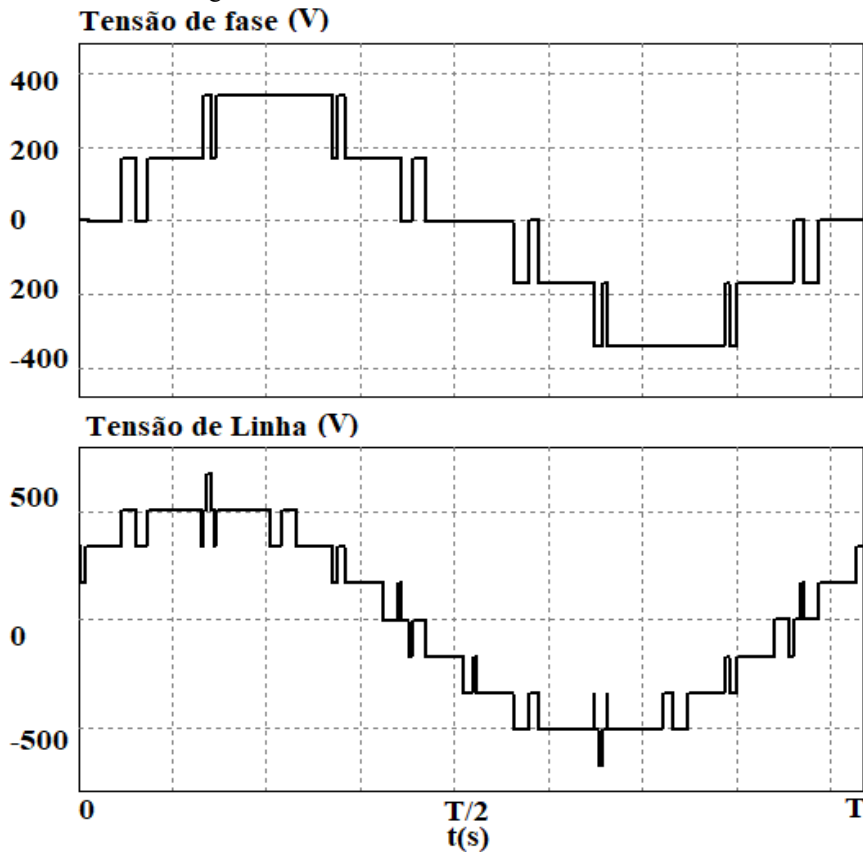
A Figura 4.1 mostra os pulsos de acionamento para os oito interruptores de uma das fases, já a Figura 4.2 ilustra a tensão de fase com cinco níveis, e a tensão de linha com nove níveis.

Figura 4.1 - Pulsos de acionamento.



Fonte: Elaborada pelo autor.

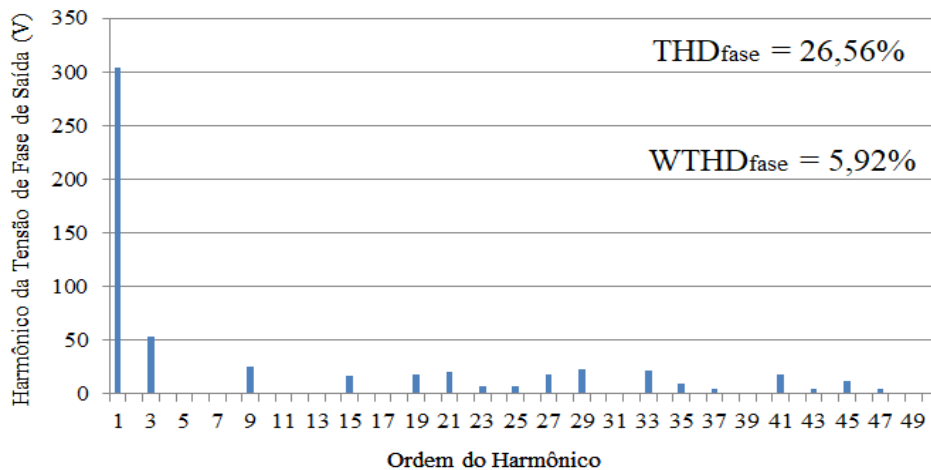
Figura 4.2 - Tensão de fase e Tensão de Linha.



Fonte: Elaborada pelo autor.

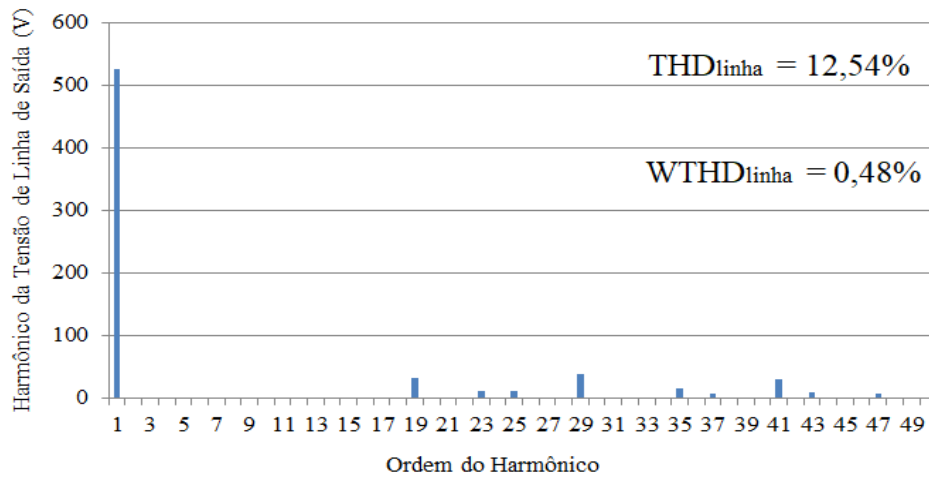
O espectro da tensão de fase, Figura 4.3, mostra que os 5 primeiros harmônicos não múltiplos de 3 são eliminados, conforme estabelecido na fase de desenvolvimento da técnica. Já a tensão de linha, Figura 4.4, somente apresenta conteúdo harmônico a partir da 19ª ordem, pois como exposto durante a fase de projeto, com as fases equilibradas os harmônicos de terceira ordem e seus múltiplos são suprimidos.

Figura 4.3 - Espectro de frequência da Tensão de Fase.



Fonte: Elaborada pelo autor.

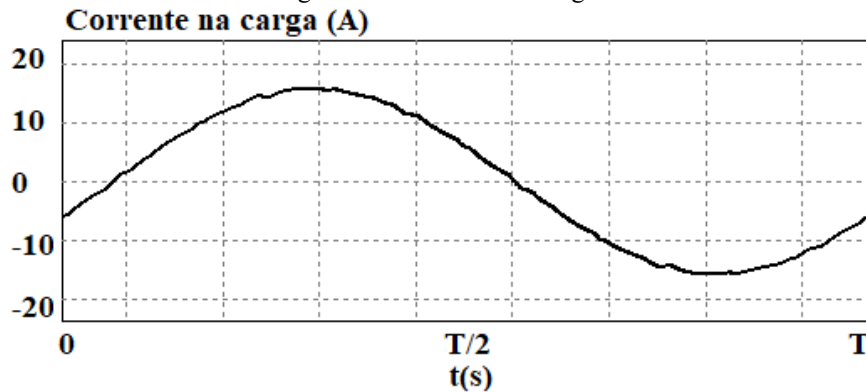
Figura 4.4 - Espectro de frequência da Tensão de Linha.



Fonte: Elaborada pelo autor.

Com a baixa distorção harmônica ponderada, ou seja, eliminando os harmônicos de baixa frequência e principalmente devido à indutância de carga que funciona como um filtro passa-baixa com frequência de corte de 135,35 Hz, a corrente na carga, Figura 4.5, se torna praticamente senoidal.

Figura 4.5 - Corrente na carga.



Fonte: Elaborada pelo autor.

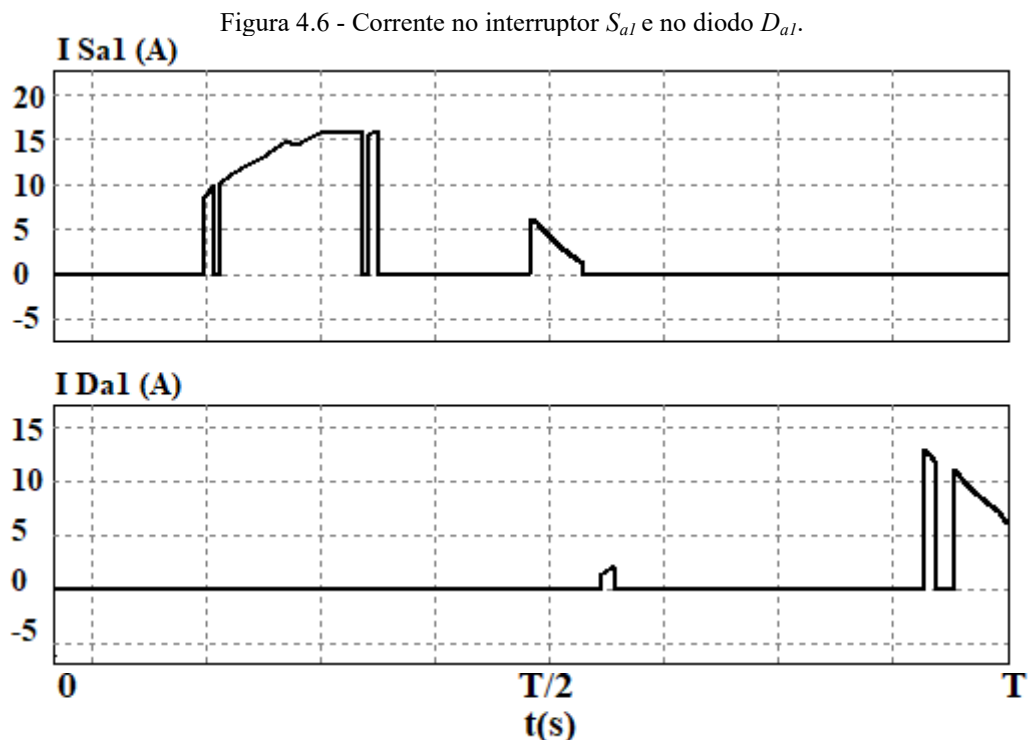
### 4.3 PERDAS POR CONDUÇÃO

Para simular estas perdas, utilizando o software PSIM, são tomados como base os passos indicados por Drofenik, et al., (2005) em sua publicação. Primeiramente, é feito a análise das perdas de condução, onde a potência dissipada é calculada através de estimativas realizadas utilizando as curvas da corrente pela tensão de operação do semicondutor, fornecidas pelo *datasheet* do semicondutor IGBT utilizado.

### 4.3.1 ESFORÇOS DE CORRENTE

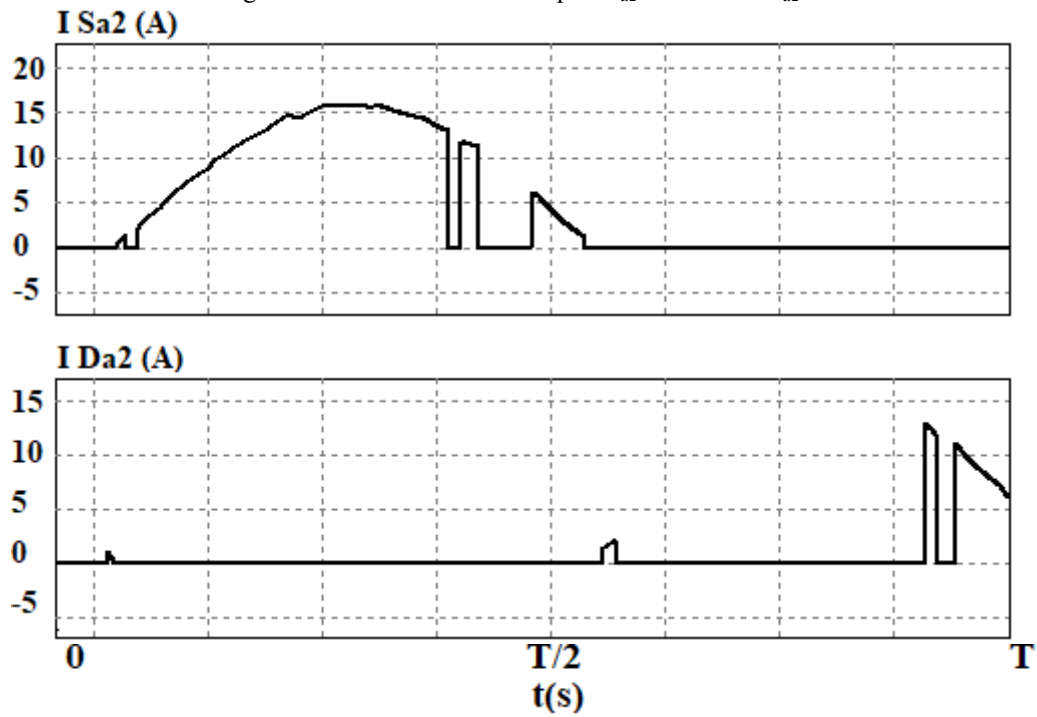
Na simulação foram utilizados sensores de corrente, os quais permitem a obtenção do nível dos esforços de corrente em todos os semicondutores do circuito, inclusive nos diodos intrínsecos ao IGBT, assim como o intervalo em que estes estão conduzindo. Esses níveis de corrente, juntamente com o intervalo de condução dos semicondutores são utilizados nos cálculos das perdas. As perdas foram simuladas apenas para a metade dos semicondutores envolvidos ( $S_{a1}$ ,  $S_{a2}$ ,  $S_{a6}$  e  $S_{a7}$ ), pois para os semicondutores complementares tem-se o mesmo resultado, portando, poupa-se o trabalho, bastando apenas duplicar o valor das perdas simuladas, para terem-se as perdas totais por condução de todo o inversor.

Com o software PSIM obtiveram-se os esforços de corrente para os semicondutores  $S_{a1}$ ,  $S_{a2}$ ,  $S_{a6}$  e  $S_{a7}$ , considerando-se os diodos intrínsecos ao módulo utilizado, as ilustrações Figura 4.6, Figura 4.7, Figura 4.8 e Figura 4.9 apresentam tais formas de onda. Na mesma simulação foram obtidos os valores médios e eficazes de corrente para um período de chaveamento, que são mostrados na Tabela 4.2.



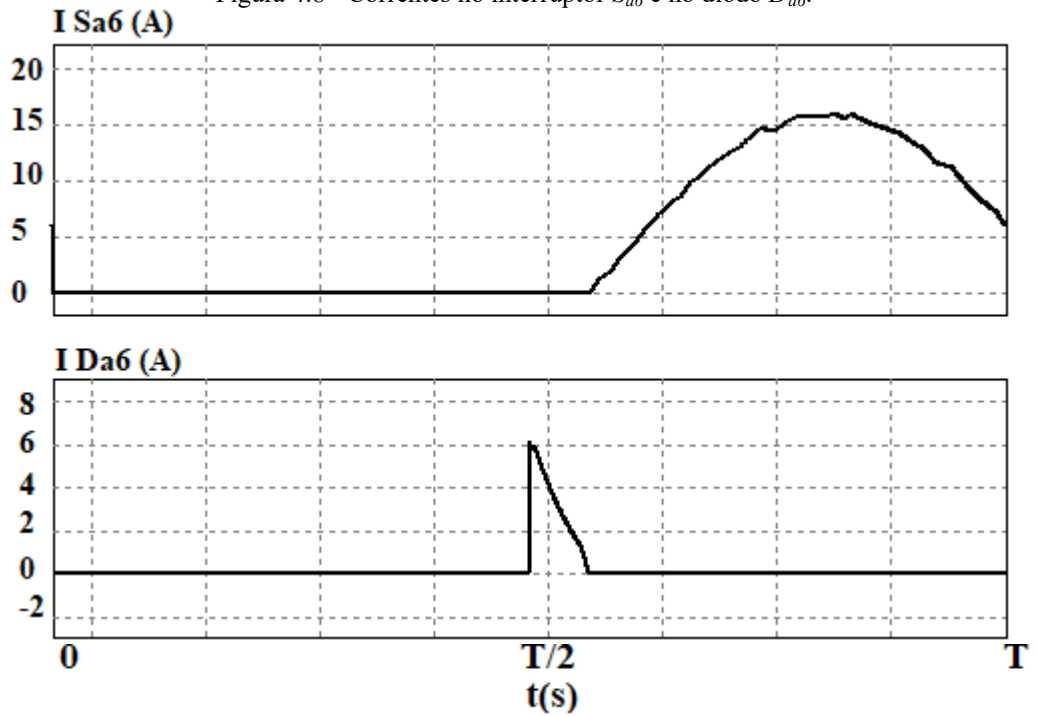
Fonte: Elaborada pelo autor.

Figura 4.7 - Corrente no interruptor  $S_{a2}$  e no diodo  $D_{a2}$ .

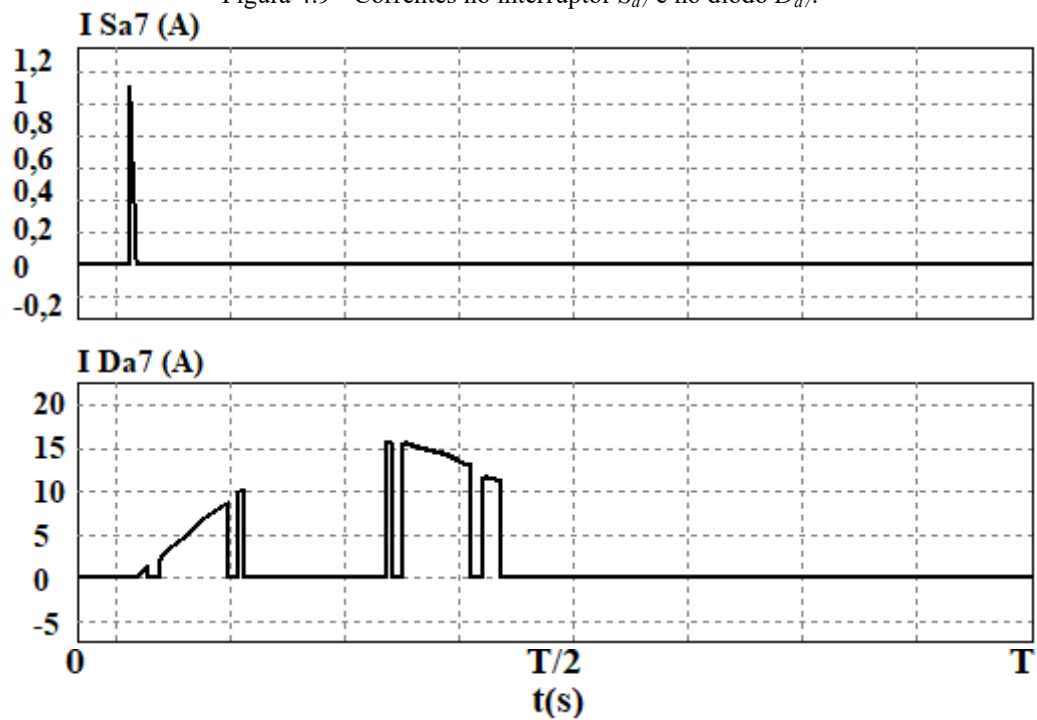


Fonte: Elaborada pelo autor.

Figura 4.8 - Correntes no interruptor  $S_{a6}$  e no diodo  $D_{a6}$ .



Fonte: Elaborada pelo autor.

Figura 4.9 - Correntes no interruptor  $S_{a7}$  e no diodo  $D_{a7}$ .

Fonte: Elaborada pelo autor.

Tabela 4.2 - Esforços de corrente.

Corrente (A)	Valor Simulado
$I_{Sa1med}=I_{Sa4med}$	2,55
$I_{Sa1ef}=I_{Sa4ef}$	5,83
$ID_{Sa1med}=ID_{Sa4med}$	0,67
$ID_{Sa1ef}=ID_{Sa4ef}$	2,51
$I_{Sa2med}=I_{Sa3med}$	4,37
$I_{Sa2ef}=I_{Sa3ef}$	7,5
$ID_{Sa2med}=ID_{Sa3med}$	0,67
$ID_{Sa2ef}=ID_{Sa3ef}$	2,51
$I_{Sa6med}=I_{Sa5med}$	4,83
$I_{Sa6ef}=I_{Sa5ef}$	7,85
$ID_{Sa6med}=ID_{Sa5med}$	0,2
$ID_{Sa6ef}=ID_{Sa5ef}$	0,91
$I_{Sa7med}=I_{Sa8med}$	0,004
$I_{Sa7ef}=I_{Sa8ef}$	0,056
$ID_{Sa7med}=ID_{Sa8med}$	1,82
$ID_{Sa7ef}=ID_{Sa8ef}$	4,7

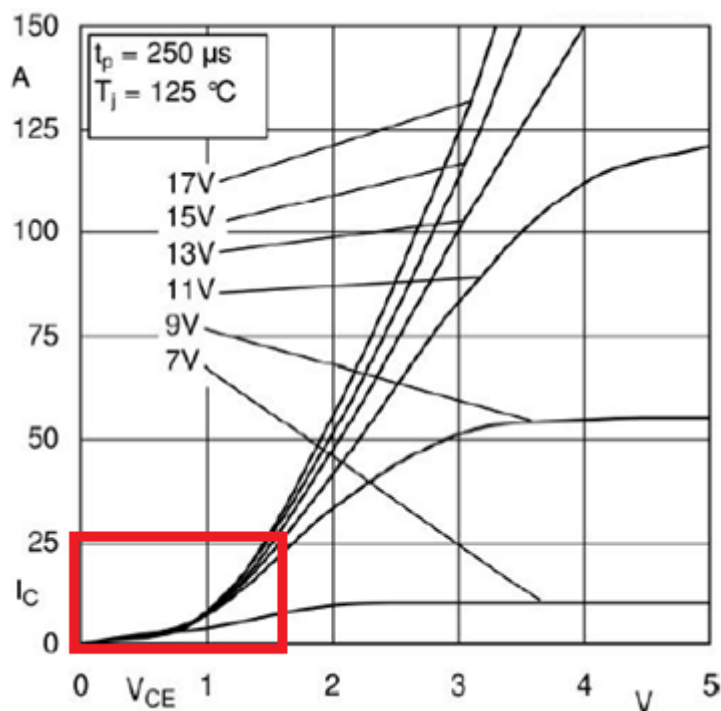
Fonte: Elaborada pelo autor.

### 4.3.2 SIMULAÇÃO DAS PERDAS POR CONDUÇÃO

Os componentes IGBTs utilizados por Silva (2013) foram módulos SKM75GB063D para os interruptores  $S_{a1}$ ,  $S_{a4}$ ,  $S_{a7}$  e  $S_{a8}$ , para os interruptores restantes, módulos SKM145GB066D, ambos fabricados pela SEMIKRON. Visto que a intenção do estudo é fazer um comparativo de desempenho entre as modulações testadas por Silva (2013), utilizaram-se os mesmos componentes. Como na simulação os componentes utilizados são ideais, portanto não possuem perdas, se faz necessário utilizar métodos para inserir os parâmetros reais dos semicondutores, dados principalmente em forma de gráficos pelos seus respectivos *datasheets*, os quais estão em Anexo.

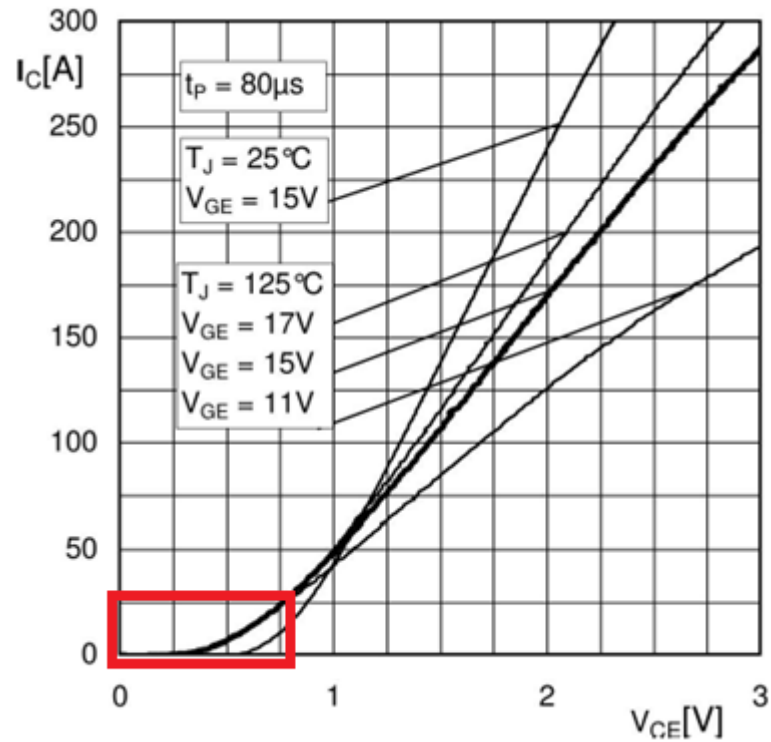
Assim como foi ressaltado previamente, as perdas por condução podem ser estimadas usando a curva da queda de tensão instantânea em função da corrente direta instantânea fornecida pelo *datasheet*. As perdas por condução tanto nos semicondutores ativos (interruptores), quanto nos passivos (diodos intrínsecos) podem ser estimadas através deste método. As ilustrações Figura 4.10 e Figura 4.11 são usadas para determinar os parâmetros de cálculo das perdas por condução nos interruptores dos módulos SKM75GB063D e SKM145GB066D, respectivamente. Para os semicondutores passivos foram usadas a Figura 4.12 para o módulo SKM75GB063D e a Figura 4.13 para o módulo SKM145GB066D.

Figura 4.10 -  $I_{ce} \times V_{ce}$  do módulo SKM75GB063D.

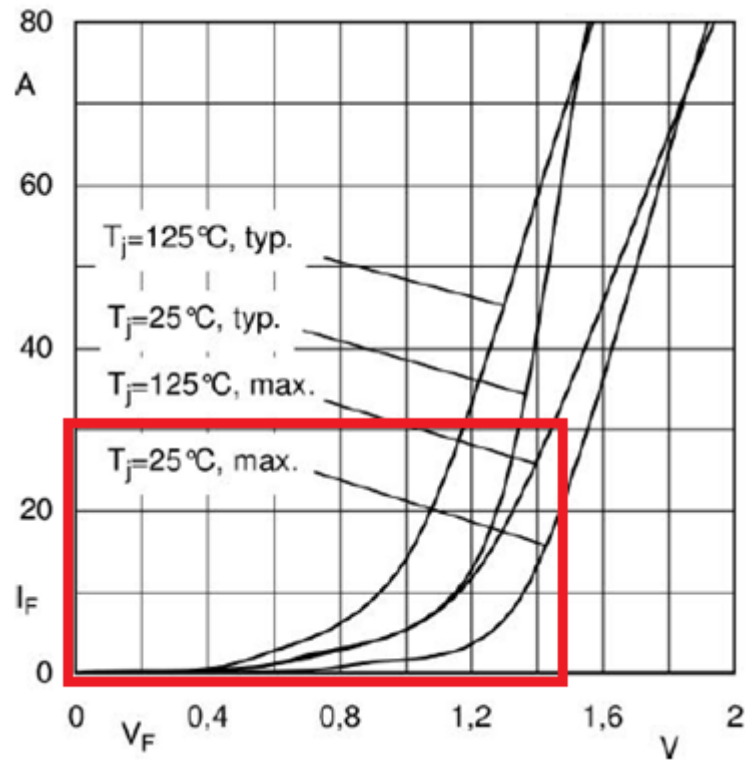


Fonte: Adaptada pelo autor (Silva, 2103).

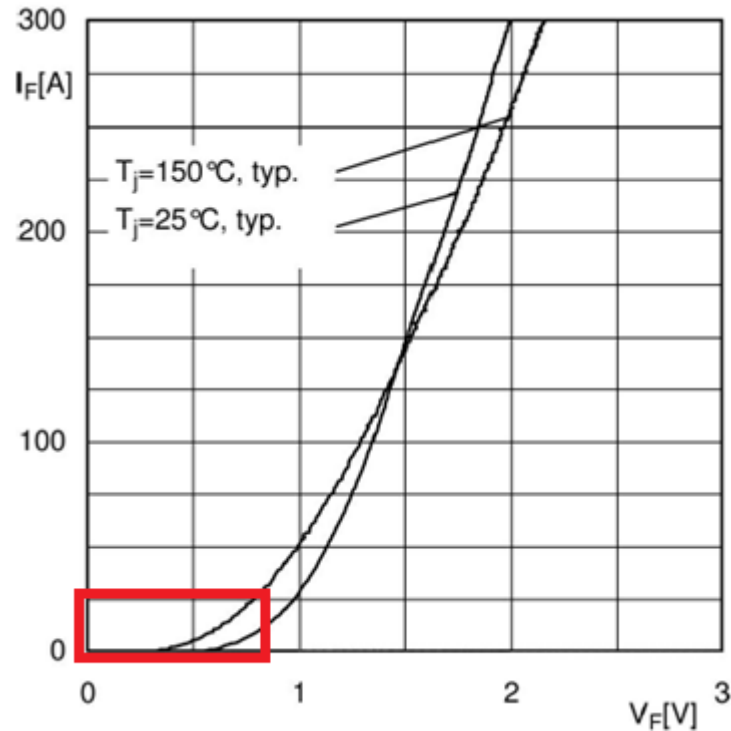


Figura 4.11 -  $I_c$  x  $V_{ce}$  do módulo SKM145GB066D

Fonte: Adaptada pelo autor (Silva, 2103).

Figura 4.12 -  $I_f$  x  $V_f$  do módulo SKM75GB063D

Fonte: Adaptada pelo autor (Silva, 2103).

Figura 4.13 -  $I_f \times V_f$  do módulo SKM145GB066D

Fonte: Adaptada pelo autor (Silva, 2103).

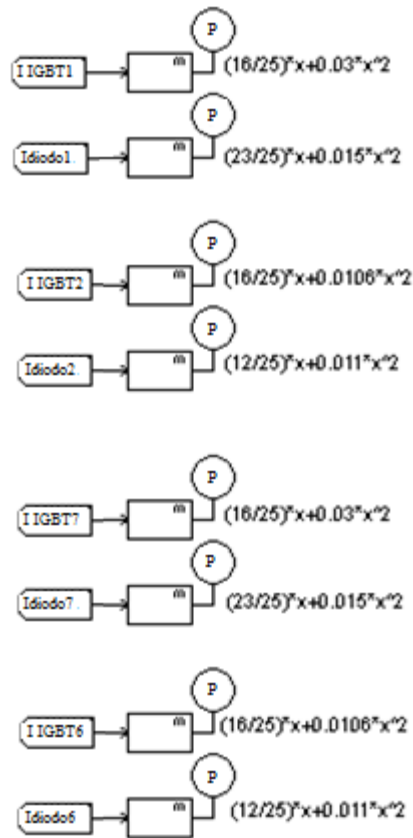
As curvas foram analisadas para uma tensão de gatilho de 15 V, temperatura de junção de 125 °C. Visando obter uma maior precisão, os valores foram analisados no intervalo de 0 a 25 A, no qual se inserem os esforços de corrente previamente simulados, que não ultrapassam o valor máximo estipulado, assim é obtido um cálculo otimizado das perdas para os níveis de operação do inversor.

Utilizando o *software* MATLAB, através da técnica de regressão polinomial (função *polyfit*) extraíram-se polinômios de segundo grau com dois coeficientes, conforme mostra a equação (4.10), sendo que o polinômio extraído deve representar fielmente a curva de perda em função da corrente direta.

$$P_{\text{cond}} = a \cdot I_c + b \cdot I_c^2 \quad (4.10)$$

Os cálculos por simulação das perdas por condução foram realizados no PSIM, usando blocos de função matemática com as respectivas equações polinomiais das perdas em função da corrente para cada semiconductor em questão. Estes blocos matemáticos com suas respectivas funções são demonstrados a seguir na Figura 4.14, lembrando que o cálculo foi feito para metade dos semicondutores, pois os complementares têm o mesmo valor, portanto o resultado pode ser replicado para os interruptores  $S_{a3}$ ,  $S_{a4}$ ,  $S_{a5}$  e  $S_{a8}$ .

Figura 4.14 - Blocos matemáticos para cálculo das perdas por condução.



Fonte: Elaborada pelo autor.

A Tabela 4.3 fornece os coeficientes polinomiais das chaves e dos seus respectivos diodos intrínsecos. Já a Tabela 4.4 apresenta os resultados para as perdas por condução estimadas por simulação para uma fase quando o inversor opera com técnica SHE-PWM e índice de modulação 0,9.

Tabela 4.3 - Coeficientes polinomiais da potência dissipada por condução.

Coeficiente	Módulo SKM75GB063D (1020 Hz) [Sa1, Sa4, Sa7 e Sa8]		Módulo SKM145GB066D (60 Hz) [Sa2, Sa3, Sa5 e Sa6]	
	Chave	Diodo Antiparalelo	Chave	Diodo Antiparalelo
<b>a</b>	0,64	0,92	0,64	0,48
<b>b</b>	0,03	0,015	0,0106	0,011

Fonte: Elaborada pelo autor.

Tabela 4.4 - Perdas por Condução.

<b>PERDAS POR CONDUÇÃO (W)</b>		
	<b>CHAVES</b>	<b>DIODOS ANTIPARALELOS</b>
<b>Sa1</b>	2,6585	0,7127
<b>Sa2</b>	3,3871	0,3944
<b>Sa3</b>	3,3871	0,3944
<b>Sa4</b>	2,6585	0,7127
<b>Sa5</b>	3,7482	0,1067
<b>Sa6</b>	3,7482	0,1067
<b>Sa7</b>	0,0032	1,9994
<b>Sa8</b>	0,0032	1,9994

Fonte: Elaborada pelo autor.

#### 4.4 PERDAS POR COMUTAÇÃO

A simulação das perdas por comutação envolve outro equacionamento mais complexo e detalhes que são descritos a seguir. As perdas nos interruptores são estimadas baseando-se também na metodologia apresentada por Drofenik, et al., (2005), assim como na simulação das perdas por condução. A metodologia citada consiste em aproximar as curvas da energia dissipada durante o ligamento e o desligamento do interruptor por polinômios, para depois estimar a potência em função do intervalo de comutação. Para os diodos intrínsecos, as perdas são calculadas usando o valor da energia dissipada durante a recuperação reversa.

##### 4.4.1 SIMULAÇÃO DAS PERDAS POR COMUTAÇÃO NAS CHAVES

As curvas da energia dissipada durante o ligamento e o desligamento do interruptor foram aproximadas por polinômios de terceira ordem, segundo as equações (4.11) e (4.12), respectivamente, representando estes valores de energia por três coeficientes:  $k_0$ ,  $k_1$  e  $k_2$ . A Tabela 4.5 mostra estes coeficientes dos interruptores ativos para os dois módulos utilizados, tanto para o ligamento quanto, para o bloqueio.

$$E_{on}=I_c \cdot (K_{0\_on}+K_{1\_on} \cdot I_c+K_{2\_on} \cdot I_c^2) \quad (4.11)$$

$$E_{off}=I_c \cdot (K_{0\_off}+K_{1\_off} \cdot I_c+K_{2\_off} \cdot I_c^2) \quad (4.12)$$

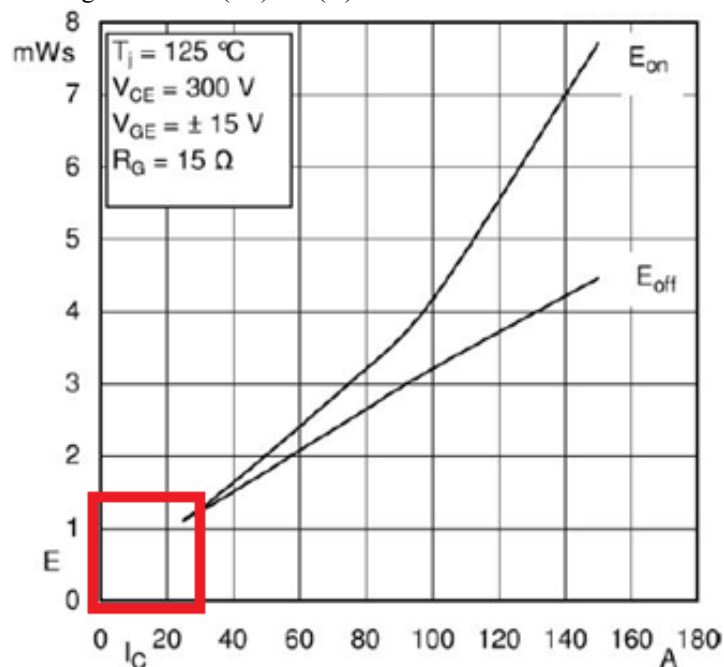
Tabela 4.5 - Coeficientes Polinomiais da Energia dissipada por ON e OFF.

Coeficiente	Módulo SKM75GB063D (1020 Hz)	Módulo SKM145GB066D (60 Hz)
	[Sa1, Sa4, Sa7 e Sa8]	[Sa2, Sa3, Sa5 e Sa6]
$K_{0\_on}$	$4,147 \cdot 10^{-5}$	$4,5 \cdot 10^{-5}$
$K_{1\_on}$	$-1,239 \cdot 10^{-7}$	$8 \cdot 10^{-8}$
$K_{2\_on}$	$1,302 \cdot 10^{-9}$	$3 \cdot 10^{-10}$
$K_{0\_off}$	$3,14 \cdot 10^{-5}$	$4 \cdot 10^{-5}$
$K_{1\_off}$	$2,934 \cdot 10^{-8}$	$1 \cdot 10^{-8}$
$K_{2\_off}$	$-9,467 \cdot 10^{-12}$	$1 \cdot 10^{-12}$

Fonte: Elaborada pelo autor.

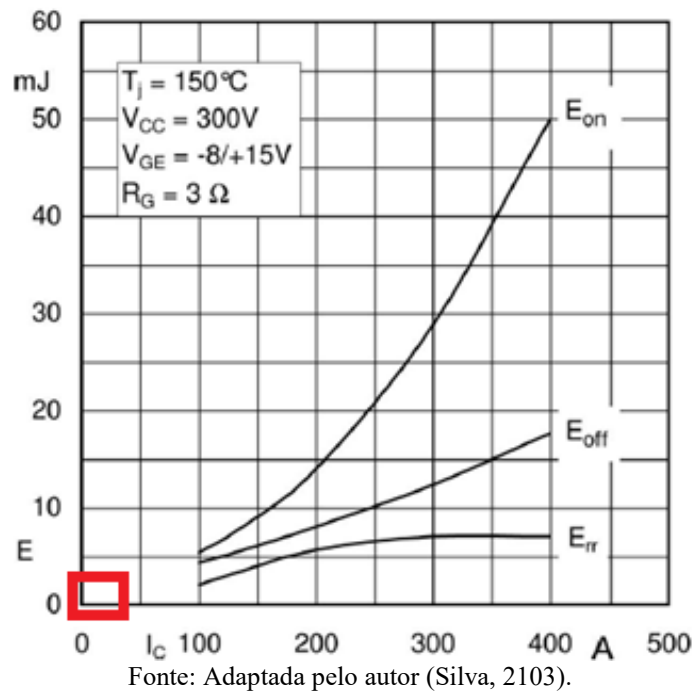
As ilustrações Figura 4.15 e Figura 4.16 apresentam as curvas de energia dissipada no ligamento e no bloqueio das chaves, dadas pelos *datasheets*, para os módulos SKM75GB063D e SKM145GB066D, respectivamente. Novamente, deve-se destacar a região entre 0 A e 25 A das curvas, intervalo correspondente ao ponto de operação. Observa-se que nos gráficos fornecidos esta região não foi considerada, desta maneira, foram realizadas aproximações, buscando a melhor forma de representar a curva real do material.

Figura 4.15 - E(mJ) x Ic(A) do módulo SKM75GB063D.



Fonte: Adaptada pelo autor (Silva, 2103).

Figura 4.16 - E(mJ) x Ic(A) do módulo SKM145GB066D.

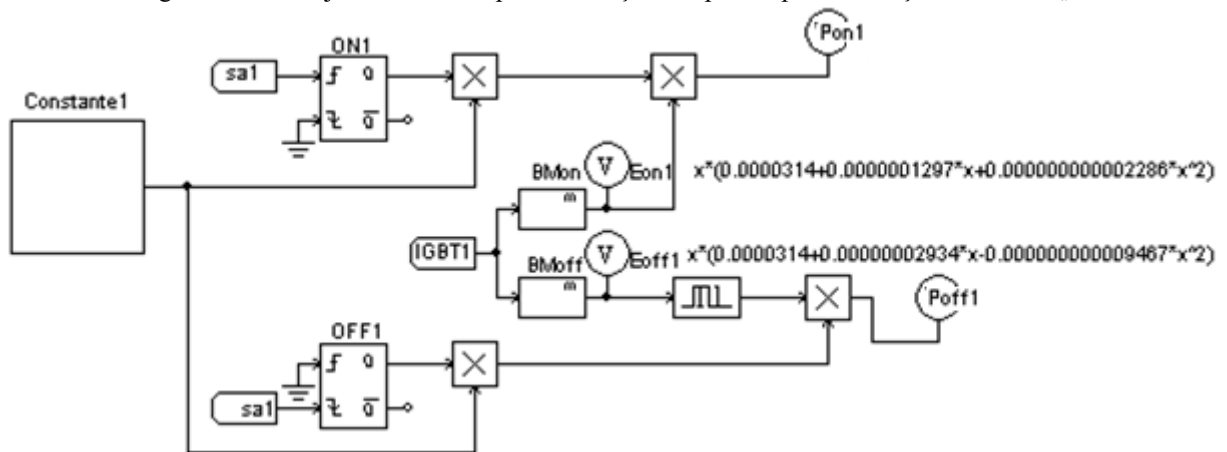


Agora com os polinômios calculados pode-se encontrar a energia perdida em um ligamento ou em um bloqueio, apenas substituindo o valor da corrente no dado instante da comutação. O método de simulação desenvolvido para estimar estas perdas é bem preciso, devido à detecção do instante exato do chaveamento. Assim, o esquema proposto consiste em dividir a energia dissipada ( $E$ ) pelo intervalo de chaveamento ( $\Delta t$ ). Portanto, encontrando o valor da potência perdida ( $P$ ), como mostra a equação (4.14).

$$P = \frac{1}{\Delta t} \cdot E(t) \quad (4.14)$$

Para implementar no software PSIM a metodologia de simulação, construiu-se um conjunto de blocos, que realiza os cálculos necessários para estimar tais perdas, a Figura 4.17 mostra como está disposta a configuração desses blocos para o interruptor  $S_{a1}$ . Para os outros interruptores utilizou-se uma disposição de blocos idêntica.

Figura 4.17 - Conjunto de blocos para simulação das perdas por comutação na chave  $S_{a1}$ .



Fonte: Elaborada pelo autor.

A dissipação da energia ocorre no instante do chaveamento do semiconductor. Assim, é preciso encontrar o valor da energia perdida no exato momento em que ocorre um ligamento ou um bloqueio, fazendo-se necessário a detecção das bordas de subida dos pulsos de acionamento no caso de um ligamento e das bordas de descida no caso de um bloqueio. Os sinais de acionamento são fornecidos ao circuito pelo *label*  $S_{a1}$ .

O monoestável *ON1* recebe os sinais de acionamento e quando detecta uma borda de subida surge em sua saída um impulso unitário regulado para ter uma largura de  $10^{-5}$ , ou seja,  $\Delta t$  é igual ao valor da largura deste impulso. Sendo que o valor do tempo de passo de cálculo foi ajustado para  $5 \cdot 10^{-7}$  s. Assim, durante o intervalo  $\Delta t$  o software realiza 20 passos de cálculo. Poderia ter sido escolhido uma série de valores, porém para tornar a simulação mais rápida mantendo uma boa precisão, estes valores citados foram escolhidos após algumas tentativas. Portanto, quando não existe este impulso na saída do monoestável, o valor da perda de ligamento (*Pon1*) é igual à zero, naquele instante.

O Bloco matemático *BMon* tem a função polinomial da energia de ligamento, que ao receber o valor da corrente no interruptor através do *label* *IGBT1*, fornece na saída o valor da energia (*Eon1*) para este nível de corrente. É importante observar que o valor de *Eon1* só terá algum efeito para o cálculo de perdas quando existe um impulso unitário na saída do monoestável, já que estes sinais são multiplicados. Portanto, a perda só é diferente de zero no instante da transição, quando ocorre o impulso.

Os *datasheets* consideram uma tensão  $V_{ce}$  de 300 V (tensão coletor-emissor). Porém, como pode ser visto nas Figuras 4.1 e 4.2, as chaves trabalham com uma tensão coletor-emissor de 170 V ou 340 V. Portanto, é necessário multiplicar o valor da energia por um fator de correção da tensão que compense esta diferença, de acordo com a tensão sobre a

chave. Para a chave  $S_{al}$  este fator é a razão “ $VS_{al} = 170 \text{ V}$ ” por “ $V_{ce}=300 \text{ V}$ ”, dada pela equação (4.15).

$$\frac{VS_{al}}{V_{ce}} = \frac{170}{300} \quad (4.15)$$

Desta forma, multiplicando o impulso unitário pela saída do bloco matemático  $BMon$  e multiplicando novamente pelo fator de correção da tensão, obtêm-se o valor da energia dissipada ( $E$ ), devendo apenas dividir este valor pelo intervalo de chaveamento ( $\Delta t=10^{-5}\text{s}$ ) para obter o valor da potência ( $P$ ). No esquema simulado a multiplicação pelo fator de correção da tensão e a divisão pelo intervalo de chaveamento ( $\Delta t$ ) é feita pelo bloco *constante1*, a saída deste bloco possui um valor igual ao dado pela equação (4.16).

$$\text{constante1} = \frac{1}{\Delta t} \cdot \frac{VS_{al}}{V_{ce}} = \frac{1}{10^{-5}} \cdot \frac{170}{300} = 100000 \cdot \frac{170}{300} \quad (4.16)$$

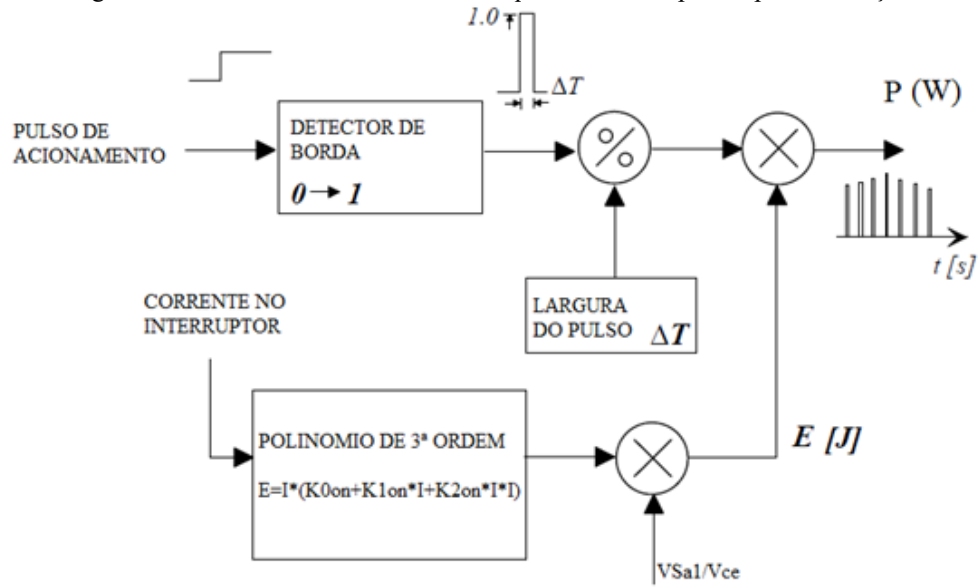
Seguindo estes passos é possível entender a metodologia para estimar as perdas por comutação nas chaves através simulação. O diagrama de blocos da Figura 4.18 simplifica o entendimento do método, demonstrando a função desempenhada por cada elemento do conjunto.

Para as perdas no bloqueio do interruptor utiliza-se o mesmo método, diferenciando-se apenas pelos fatos de que o monoestável detecta as bordas de descida e a existência de um atraso na saída do Bloco  $BMoff$ . Após a detecção da borda de descida, a corrente na chave e consequentemente o valor  $E_{off1}$  se tornam nulos. Portanto, este atraso tem a função de conservar, por um tempo igual à largura do impulso unitário, o valor da energia de desligamento, calculado no instante de transição, viabilizando o cálculo de  $P_{off1}$  pelo software, no intervalo posterior à detecção do desligamento.

A análise dos sinais gerados nas saídas de cada elemento constituinte do bloco de simulação permite uma avaliação gráfica dos cálculos, fornecendo também uma visualização temporal dos acontecimentos durante a simulação. A Figura 4.19 mostra claramente que quando ocorre um ligamento, surge um pulso com amplitude igual ao valor da potência dissipada instantânea, o que resume o funcionamento de toda a metodologia.

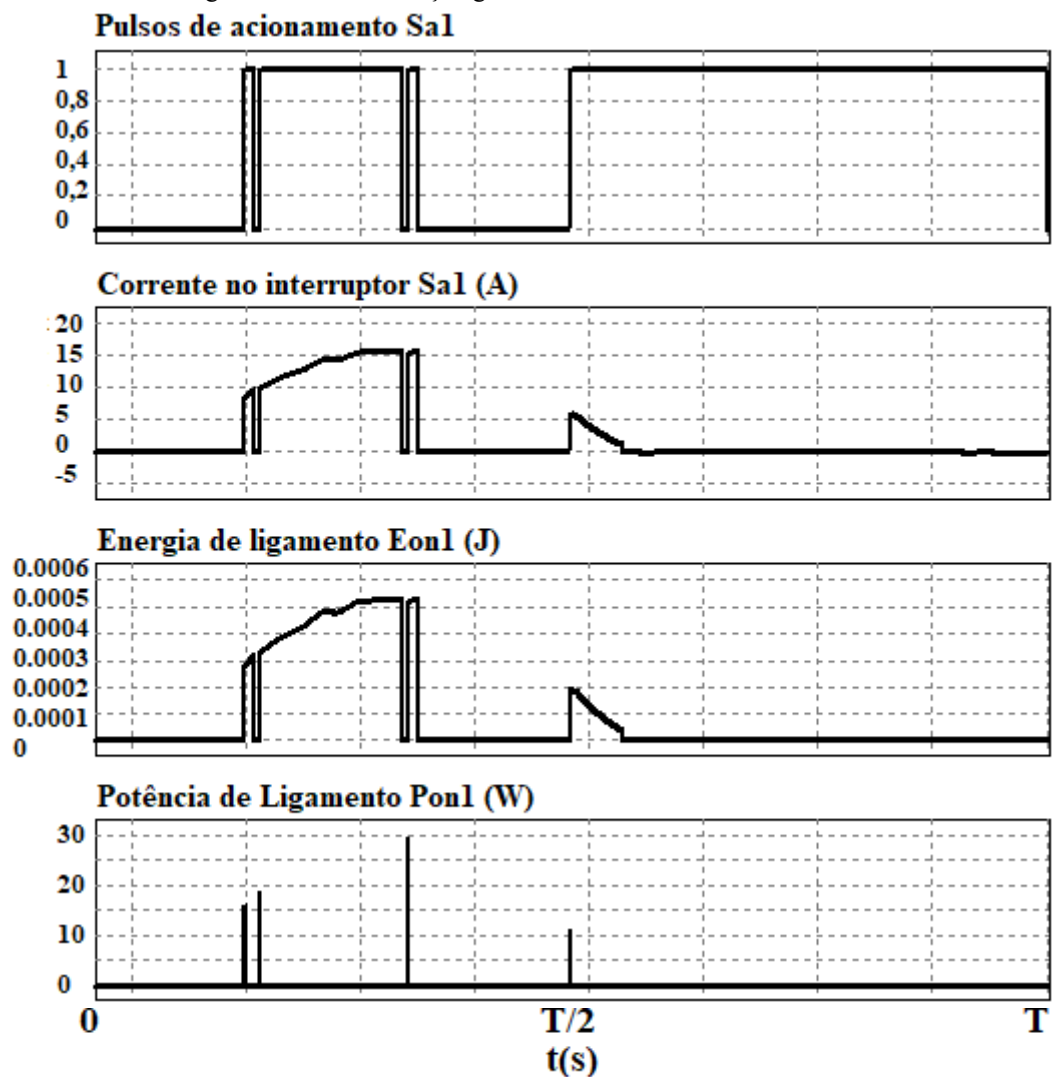


Figura 4.18 - Funcionamento dos blocos que estimam as perdas por comutação.



Fonte: Elaborada pelo autor.

Figura 4.19 - Visualização gráfica do método de cálculo de  $P_{on1}$ .



Fonte: Elaborada pelo autor.

#### 4.4.2 SIMULAÇÃO DAS PERDAS POR COMUTAÇÃO DIODOS INTRÍNSECOS

O método de simulação da potência dissipada durante a recuperação reversa dos diodos é realizado de forma análoga a ideia anterior. No entanto, a energia dissipada é estimada por polinômio de segunda ordem, estes polinômios são calculados utilizando os dados fornecidos pelos *datasheets* dos módulos utilizados. O conceito apresentado por Casanellas (1994) demonstra como é feito o cálculo destes polinômios. De acordo com Casanellas, a equação (4.17) representa a energia de recuperação reversa dos diodos em função da corrente direta.

$$E_{rr} = \frac{V_{cc}}{2} \left( 0,8 + \frac{0,2 \cdot i_D}{I_o} \right) \cdot t_{rr} \cdot \left( 0,35 \cdot I_{rr} + 0,15 \cdot I_{rr} \cdot \frac{i_D}{I_o} + i_D \right) \quad (4.17)$$

Onde:

- $V_{cc}$  Representa a tensão de barramento (340 V);
- $I_o$  Corrente nominal do diodo;
- $t_{rr}$  Tempo de recuperação reversa;
- $I_{rr}$  Corrente de recuperação reversa.

A equação acima pode ser reescrita conforme mostra a equação (4.18), sendo que os coeficientes deste polinômio de segunda podem ser calculados conforme as equações (4.19), (4.20) e (4.21).

$$E_{rr} = K_{0\_rr} + K_{1\_rr} \cdot i_D + K_{2\_rr} \cdot i_D^2 \quad (4.18)$$

$$K_{0\_rr} = 0,14 \cdot V_{cc} \cdot t_{rr} \cdot I_{rr} \quad (4.19)$$

$$K_{1\_rr} = \frac{V_{cc}}{2} \cdot t_{rr} \cdot \left[ 0,8 \cdot \left( \frac{0,15 \cdot I_{rr}}{I_o} + 1 \right) + \frac{0,2}{I_o} \cdot (0,35 \cdot I_{rr}) \right] \quad (4.20)$$

$$K_{2\_rr} = \frac{0,1 \cdot V_{cc} \cdot t_{rr}}{I_o} \cdot \left( \frac{0,15 \cdot I_{rr}}{I_o} + 1 \right) \quad (4.21)$$

As ilustrações Figura 4.20 e Figura 4.21 mostram os valores utilizados nos cálculos

dos coeficientes, lembrando que a temperatura de operação é de 125 °C. O valor  $t_{rr}$  é calculado em função de  $I_{rr}$  e  $Q_{rr}$  (carga armazenada durante a condução), através da equação (4.22).

Figura 4.20 - Ficha de dados (Diodo antiparalelo do módulo SKM75GB063D).

<b>DIODO ANTIPARALELO</b>				
$V_F = V_{EC}$	$I_{Fnom} = 75 \text{ A}; V_{GE} = 0 \text{ V}; T_j = 25 (125) \text{ }^\circ\text{C}$	1,55 (1,55)	1,9	V
$V_{(TO)}$	$T_j = 125 ( ) \text{ }^\circ\text{C}$		0,9	V
$r_T$	$T_j = 125 ( ) \text{ }^\circ\text{C}$	10	13,3	mΩ
$I_{RRM}$	$I_{Fnom} = 75 \text{ A}; T_j = 125 ( ) \text{ }^\circ\text{C}$	30		A
$Q_{rr}$	$di/dt = 800 \text{ A}/\mu\text{s}$	3,7		μC
$E_{rr}$	$V_{GE} = 0 \text{ V}$			mJ

Fonte: Adaptada pelo autor (Silva, 2103).

Figura 4.21 - Ficha de dados (Diodo antiparalelo do módulo SKM145GB066D).

<b>DIODO ANTIPARALELO</b>					
$V_F = V_{EC}$	$I_{Fnom} = 150 \text{ A}; V_{GE} = 0 \text{ V}$	$T_j = 25 \text{ }^\circ\text{C}_{\text{chiplev.}}$	1,4	1,6	V
		$T_j = 150 \text{ }^\circ\text{C}_{\text{chiplev.}}$			V
$V_{F0}$		$T_j = 25 \text{ }^\circ\text{C}$	0,95	1	V
$r_F$		$T_j = 25 \text{ }^\circ\text{C}$	3	4	mΩ
$I_{RRM}$	$I_{Fnom} = 150 \text{ A}$	$T_j = 150 \text{ }^\circ\text{C}$	90		A
$Q_{rr}$	$di/dt = 2100 \text{ A}/\mu\text{s}$		20		μC
$E_{rr}$	$V_{GE} = -8 \text{ V}; V_{CC} = 300 \text{ V}$		3,5		mJ
$R_{th(j-c)D}$	per diode			0,5	K/W

Fonte: Adaptada pelo autor (Silva, 2103).

A Tabela 4.6 mostra os coeficientes calculados, juntamente com as constantes utilizadas para os dois módulos.

$$t_{rr} = \frac{2 \cdot Q_{rr}}{I_{rr}} \quad (4.22)$$

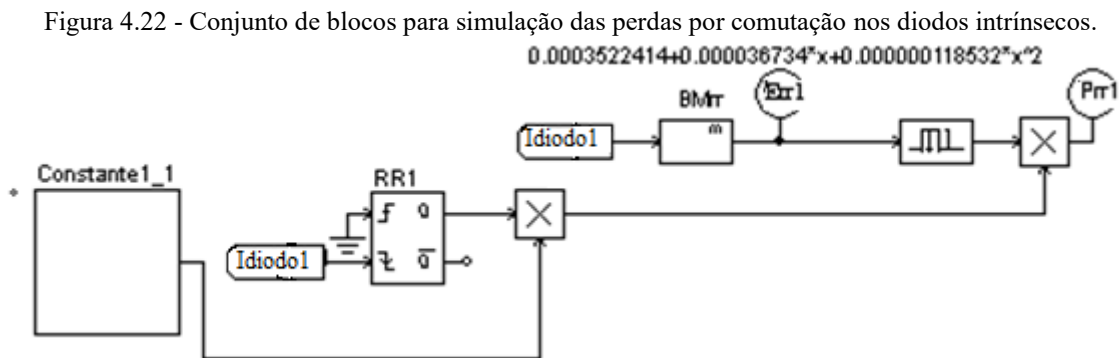
Tabela 4.6 - Coeficientes Polinomiais da Energia dissipada na recuperação reversa.

		<b>Módulo SKM75GB063D</b>	<b>Módulo SKM145GB066D</b>
<b>Constantes</b>	$V_{cc}$	340 V	340 V
	$I_o$	75 A	150 A
	$I_{rr}$	30 A	90 A
	$t_{rr}$	$246,667 * 10^{-9} \text{ s}$	$444,444 * 10^{-9} \text{ s}$
<b>Coeficientes</b>	$K_{0\_rr}$	$1,904 * 10^{-3}$	$352,24 * 10^{-6}$
	$K_{1\_rr}$	$69,058 * 10^{-6}$	$36,734 * 10^{-6}$
	$K_{2\_rr}$	$109,807 * 10^{-9}$	$118,532 * 10^{-9}$

Fonte: Elaborada pelo autor.

Assim como explicado anteriormente, a simulação de perdas por comutação para os diodos intrínsecos ao IGBT é feita de forma semelhante ao método desenvolvido para as chaves. Com posse dos polinômios calculados, pode-se encontrar a energia perdida durante a recuperação reversa, simplesmente substituindo o valor da corrente no dado instante da comutação. O valor desta energia perdida é utilizado para calcular a perda de potência. Assim, o esquema proposto consiste basicamente no mesmo formato, utilizando também a equação (4.14) mostrada anteriormente, onde a energia dissipada ( $E$ ) é dividida pelo intervalo de chaveamento ( $\Delta t$ ), encontrando o valor da potência dissipada ( $P$ ).

A Figura 4.22 mostra como está disposto o conjunto de blocos utilizado para realizar os cálculos das perdas durante a recuperação reversa para o diodo intrínseco do IGBT, para os outros diodos utilizou-se uma disposição de blocos idêntica.



Fonte: Elaborada pelo autor.

A dissipação da energia ocorre no instante em que o diodo passa para o estado de não-condução. Assim, é preciso encontrar o valor da energia perdida no exato momento em que a corrente decai a zero, fazendo-se necessário a detecção da borda de descida da corrente no diodo. O sinal da corrente é fornecido ao circuito pelo *label* *Idiodo 1*.

O monoestável *RR1* recebe o sinal de corrente e quando detecta uma borda de descida surge em sua saída um impulso unitário regulado para ter uma largura de  $10^{-5}$ , ou seja,  $\Delta t$  é igual ao valor da largura deste impulso. Novamente, este valor foi escolhido para tornar a simulação mais rápida mantendo uma boa resolução. Sendo assim, quando não existe este impulso na saída do monoestável, o valor da perda de recuperação reversa (*Prr1*) é igual à zero, naquele instante.

O Bloco matemático *BMrr* tem a função polinomial da energia de recuperação reversa, que ao receber o valor da corrente no diodo através do *label* *Idiodo 1*, fornece na saída o valor da energia (*Err1*) para este nível de corrente. É importante observar que o valor

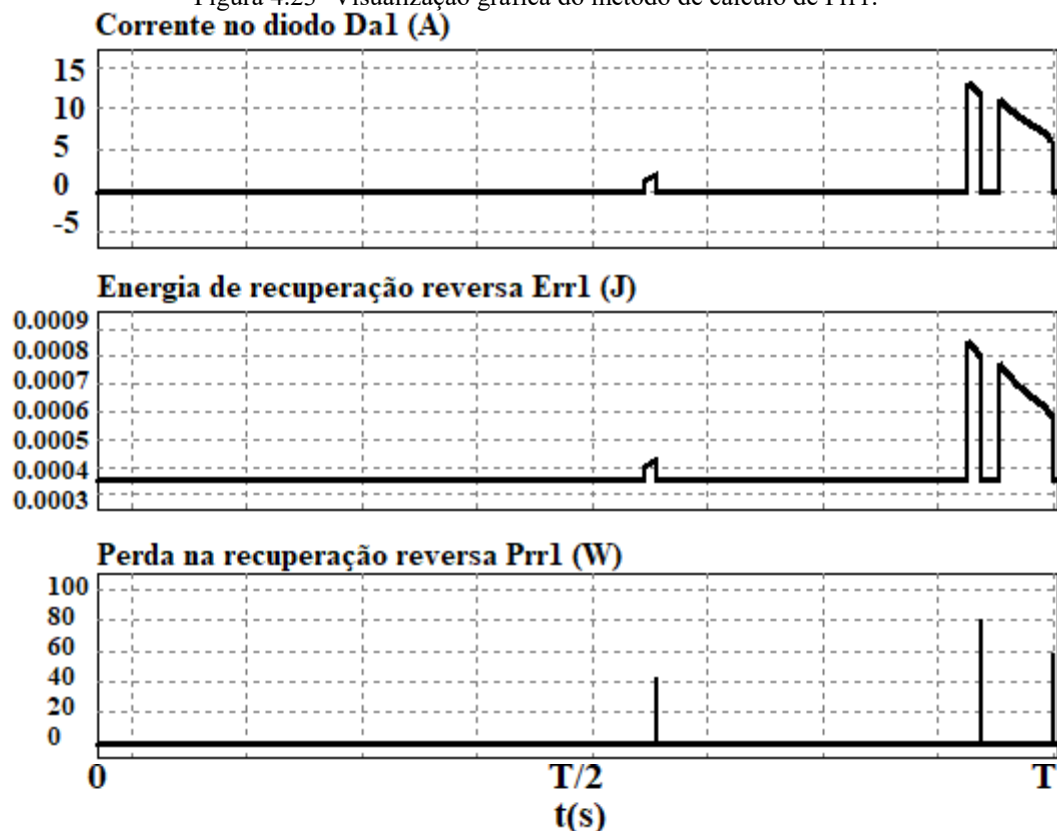
de  $Err1$  só terá algum efeito para o cálculo de perdas quando existe um impulso unitário na saída do monoestável, já que estes sinais são multiplicados. Portanto, a perda só é diferente de zero no instante da transição, quando ocorre o impulso.

Desta forma, multiplicando o impulso unitário pela saída do bloco matemático  $BMrrr$ , obtêm-se o valor da energia dissipada ( $E$ ), devendo apenas dividir este valor pelo intervalo de chaveamento ( $\Delta t=10^{-5}$ s) para obter o valor da potência ( $P$ ). No esquema simulado a divisão pelo intervalo de chaveamento ( $\Delta t$ ) é feita pelo bloco  $Constante1\_1$ . A saída deste bloco possui um valor igual ao dado pela equação (4.23).

$$\text{Constante1\_1} = \frac{1}{\Delta t} = 100000 \quad (4.23)$$

A Figura 4.23 mostra claramente que quando a corrente cai a zero, surge um pulso com amplitude igual ao valor da potência dissipada instantânea, o que resume o funcionamento do método implementado.

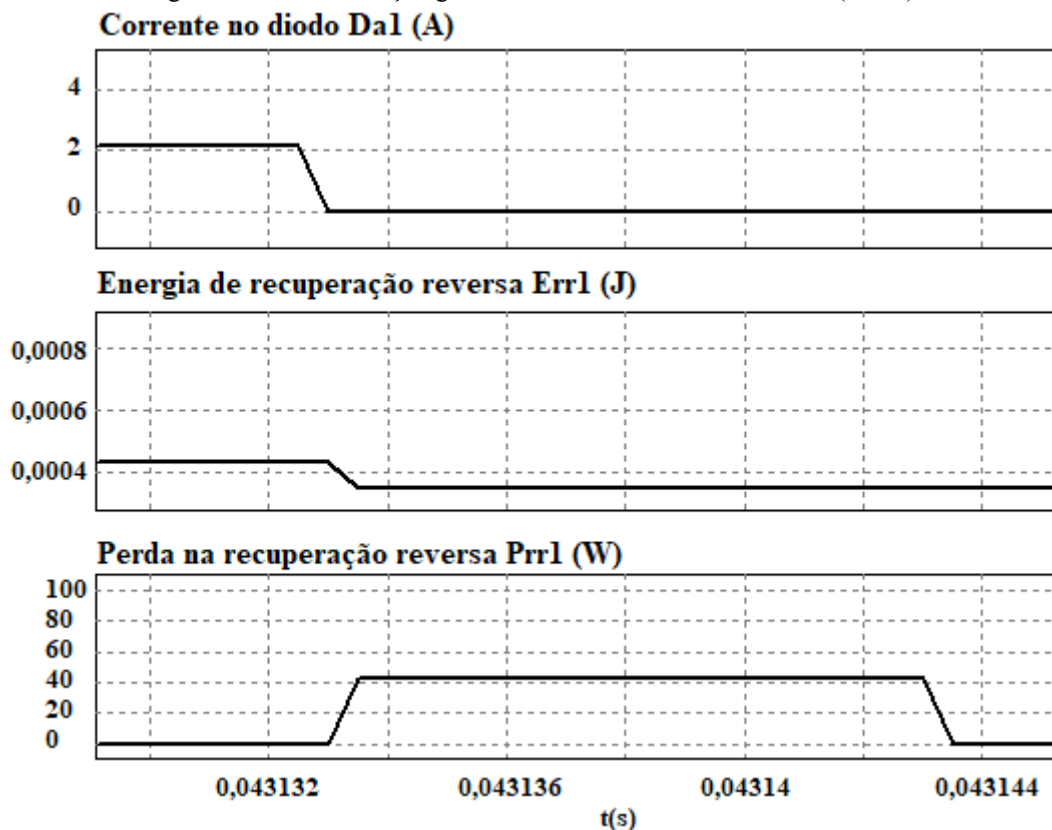
Figura 4.23- Visualização gráfica do método de cálculo de  $Prr1$ .



Fonte: Elaborada pelo autor.

A existência de um atraso na saída do Bloco *BMrr* é justificada pelo fato de que após a detecção da borda de descida, a corrente na chave e consequentemente o valor *Err1* se tornam nulos. Portanto, este atraso tem a função de conservar, por um tempo igual à largura do impulso unitário ( $\Delta t=10^{-5}$ s), o valor da energia de recuperação reversa, calculada no instante de transição, viabilizando o cálculo de *Prr1* pelo software neste intervalo de tempo. A Figura 4.24 mostra graficamente o que acontece após a corrente cessar.

Figura 4.24 - Visualização gráfica do método de cálculo de *Prr1* (Zoom).



Fonte: Elaborada pelo autor.

A Tabela 4.7 fornece os valores das perdas por comutação nas Chaves e nos Diodos antiparalelos. A soma de todas as perdas resulta em um total de 28,1 W (condução e comutação), quando o conversor opera com potência nominal. Quando se analisa as potências dissipadas pelo conversor operando com as outras duas modulações já testadas, não existe vantagem em utilizar a modulação SHE-PWM, considerando-se as perdas de forma isoladamente, isso devido às modulações desenvolvidas por Silva (2013) operarem em uma frequência relativamente baixa (1020 Hz). Contudo, quando analisadas junto ao conteúdo harmônico é que se pode observar a superioridade desta técnica, pois seria necessário ter-se uma frequência de comutação de no mínimo 3600 Hz para igualar as WDHTs, fator que

ocasionaria um aumento significativo no número de chaveamentos, consequentemente maiores perdas por comutação.

Tabela 4.7 - Perdas por Comutação.

<b>PERDAS POR COMUTAÇÃO (W)</b>			
	<b>CHAVES</b>		<b>DIODOS ANTIPARALELOS</b>
	<b>ON</b>	<b>OFF</b>	<b>Recuperação Reversa</b>
<b>Sa1</b>	0,0429	0,0449	0,1087
<b>Sa2</b>	0,0591	0,0733	0,4268
<b>Sa3</b>	0,0591	0,0733	0,4268
<b>Sa4</b>	0,0429	0,0449	0,1087
<b>Sa5</b>	0	0,0172	0
<b>Sa6</b>	0	0,0172	0
<b>Sa7</b>	0	0	0,2641
<b>Sa8</b>	0	0	0,2641

Fonte: Elaborada pelo autor.

No PSIM, a potência ativa na saída foi calculada usando o valor do harmônico fundamental de corrente simulado, substituindo-se este valor na equação (4.26) e posteriormente subtraindo as perdas conforme equação (4.27):

$$P_{\text{ativa}} = R \times I_{o_{ph_{ef\_simulado}}}^2 = 17,713 \times 11,172^2 = 2210,82 \text{ W} \quad (4.26)$$

$$P_{\text{ativa\_saída}} = P_{\text{ativa}} - \text{Perdas} = 2182,72 \text{ W} \quad (4.27)$$

Resultando em uma eficiência de 98,7%, calculada pelas equações (4.28) e (4.29).

$$\eta = P_{\text{ativa\_saída}} / P_{\text{ativa}} \quad (4.28)$$

$$\eta = 2182,72 / 2210,82 = 0,987 = 98,7\% \quad (4.29)$$

#### 4.5 CONSIDERAÇÕES FINAIS

Este capítulo tratou da análise de desempenho através de simulação do inversor HB/ANPC operando com modulação SHE-PWM, fazendo uma análise do conteúdo harmônico, das perdas por condução e das perdas por comutação. A metodologia de modulação desenvolvida apresentou superioridade com relação às modulações já testadas no

conversor, de tal forma que a distorção harmônica ponderada é reduzida pela metade quando comparada ao conteúdo harmônico gerado pelas outras duas modulações testadas por Silva (2013).

Para se igualar ao desempenho da SHE-PWM é necessário mais que triplicar o número de chaveamentos das outras duas técnicas, o que ocasionaria em perdas bem maiores por comutação, além de outros transtornos advindos de uma maior frequência de comutação.



## 5 RESULTADOS EXPERIMENTAIS

### 5.1 INTRODUÇÃO

Neste capítulo são apresentados os resultados experimentais referentes à estratégia de modulação SHE-PWM aplicada ao inversor HB/ANPC de cinco níveis, realizando uma análise comparativa em relação às outras duas modulações já aplicadas por Silva (2013), PD-PWM e CSV-PWM.

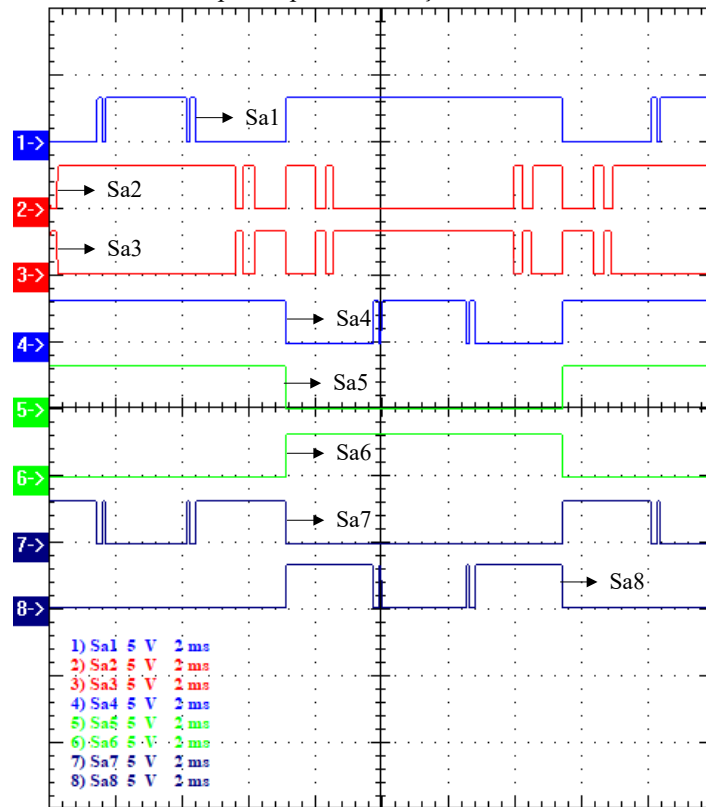
São apresentadas as principais formas de onda coletadas através de um osciloscópio modelo MSO4034, fabricado pela TEKTRONIX, fundamentais para análise de funcionamento do inversor, tais como: pulsos de acionamento dos interruptores, esforços de tensão e corrente nos interruptores, tensões de fase e de linha, bem como corrente na carga, com o inversor operando com potência nominal. Para embasar a análise comparativa de desempenho da modulação em questão foram coletadas informações sobre o conteúdo harmônico e rendimento do inversor.

No protótipo, as fontes que alimentam o barramento CC de cada braço do inversor são obtidas utilizando três retificadores monofásicos, alimentados por um transformador trifásico isolador de 10 kVA de potência e 60 Hz de frequência, que por sua vez é ligado a um varivolt trifásico de 35 kVA.

### 5.2 PULSOS DE ACIONAMENTO

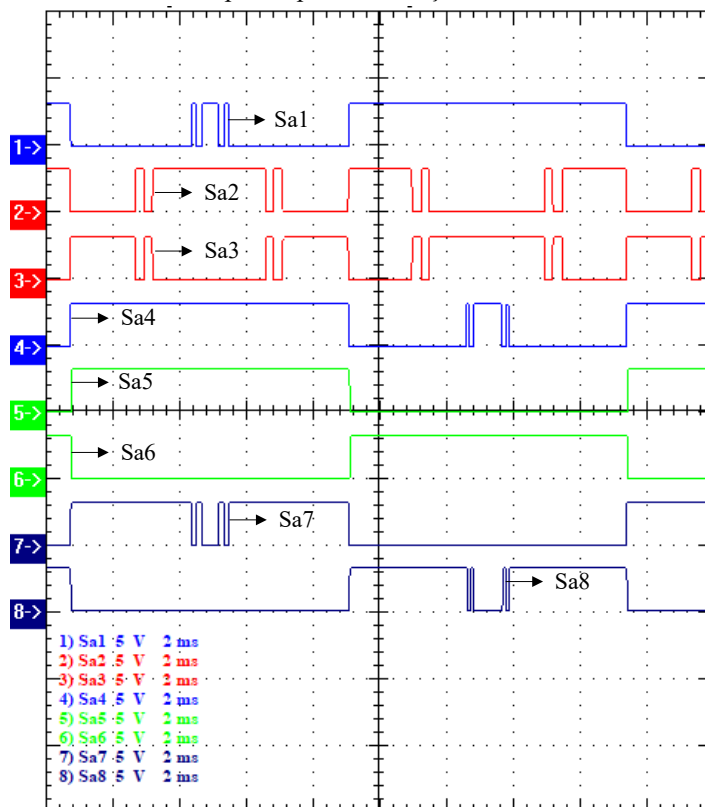
A modulação implementada no dispositivo FPGA, DE0-Nano, gera os 24 pulsos necessários para comandar os interruptores. Entretanto, esses pulsos passam primeiramente por um circuito *buffer* e em seguida são fornecidos ao driver SKHI 22BR, fabricado pela SEMIKRON, para depois acionar o dispositivo IGBT. Os sinais de acionamento apresentados a seguir foram medidos sobre os interruptores de uma das fases, portanto os pulsos para as outras duas fases devem estar defasados destes. A Figura 5.1 mostra os pulsos para o índice de modulação de 0,9 e a Figura 5.2 para o índice de modulação de 0,5.

Figura 5.1 - Pulsos de comando dos interruptores para modulação SHE-PWM com índice de modulação de 0,9.



Fonte: Elaborada pelo autor.

Figura 5.2 - Pulsos de comando dos interruptores para modulação SHE-PWM com índice de modulação de 0,5.



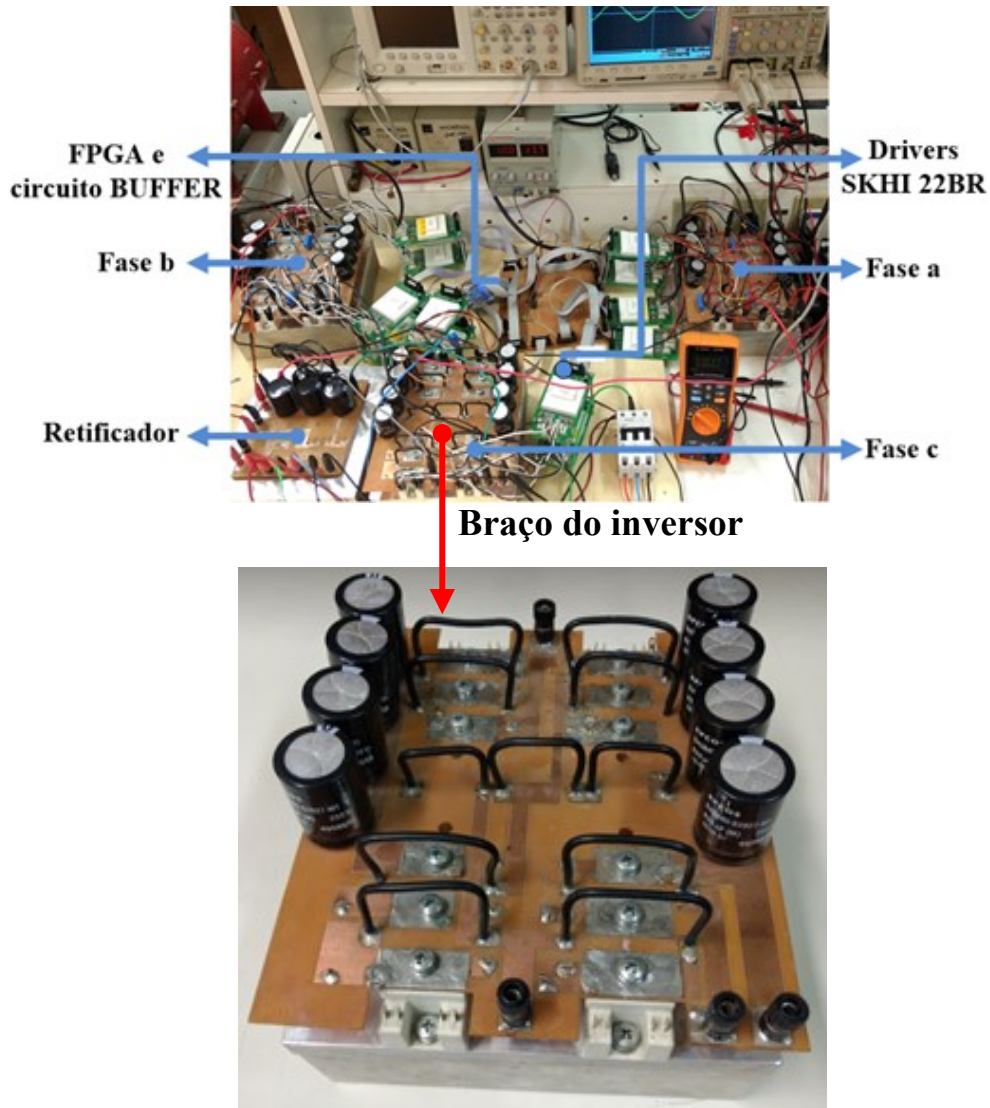
Fonte: Elaborada pelo autor.

Observa-se pelas ilustrações que os pulsos de acionamentos experimentais apresentam-se conforme simulação realizada. Portanto, pode-se afirmar que o FPGA fornece de forma satisfatória os sinais que controlam os interruptores.

### 5.3 RESULTADOS EXPERIMENTAIS DO INVERSOR HB/ANPC OPERANDO COM MODULAÇÃO SHE-PWM

Para testar o desempenho da técnica de modulação SHE-PWM, quando aplicada ao inversor trifásico HB/ANPC de cinco níveis, foi utilizado o protótipo apresentado na Figura 5.3.

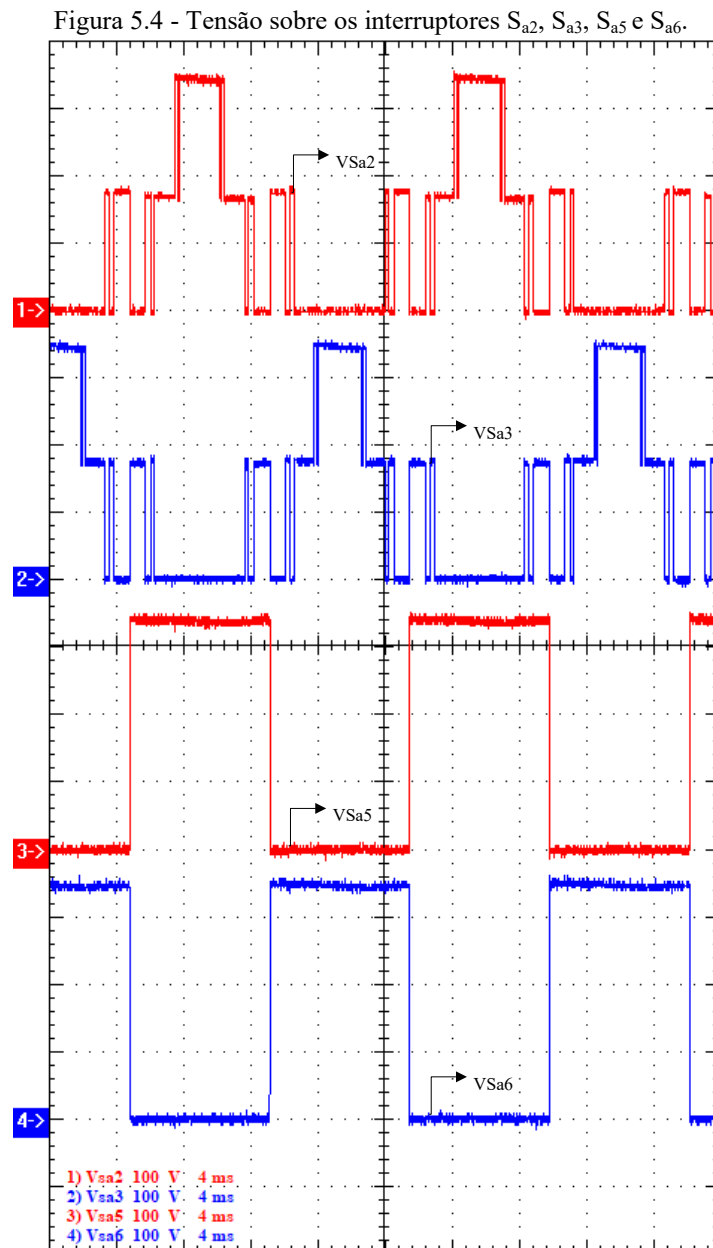
Figura 5.3 - Protótipo experimental.



Fonte: Elaborada pelo autor.

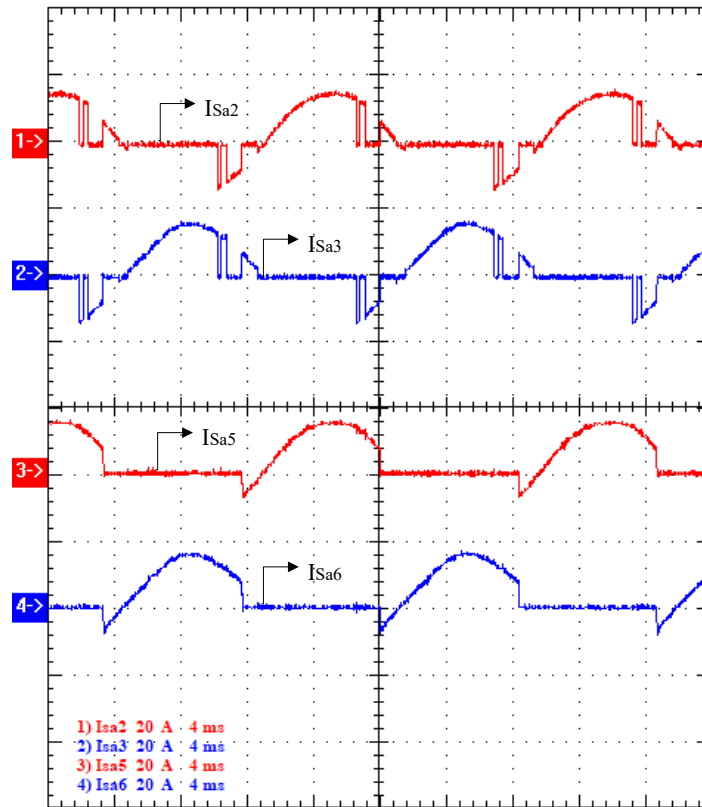
### 5.3.1 ESFORÇOS DE TENSÃO E CORRENTE SOBRE OS INTERRUPTORES

As formas de onda dos esforços de tensão e corrente nas chaves foram coletadas com o inversor operando na potência nominal e índice de modulação de 0,9. Os sinais de esforços de tensão, Figura 5.4, e de corrente, Figura 5.5, sobre os interruptores Sa2, Sa3, Sa5 e Sa6 mostram a simetria do conversor. Assim como é mostrado da mesma forma nas ilustrações Figura 5.6 e Figura 5.7 para os interruptores Sa1, Sa4, Sa7 e Sa8. Nota-se que as chaves complementares são submetidas aos mesmos esforços, no entanto com uma defasagem de 180° entre elas.



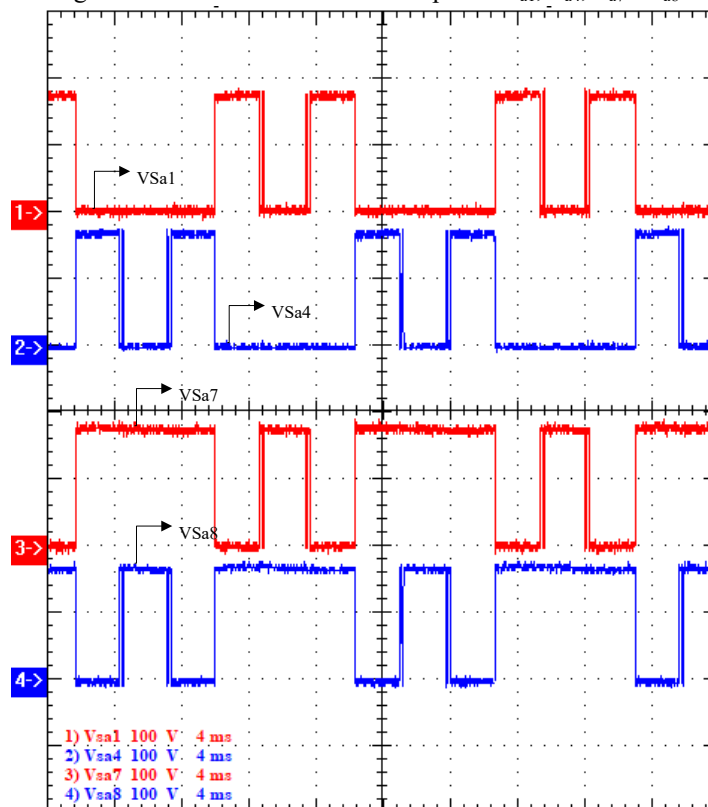
Fonte: Elaborada pelo autor.

Figura 5.5 - Corrente nos interruptores  $S_{a2}$ ,  $S_{a3}$ ,  $S_{a5}$  e  $S_{a6}$ .



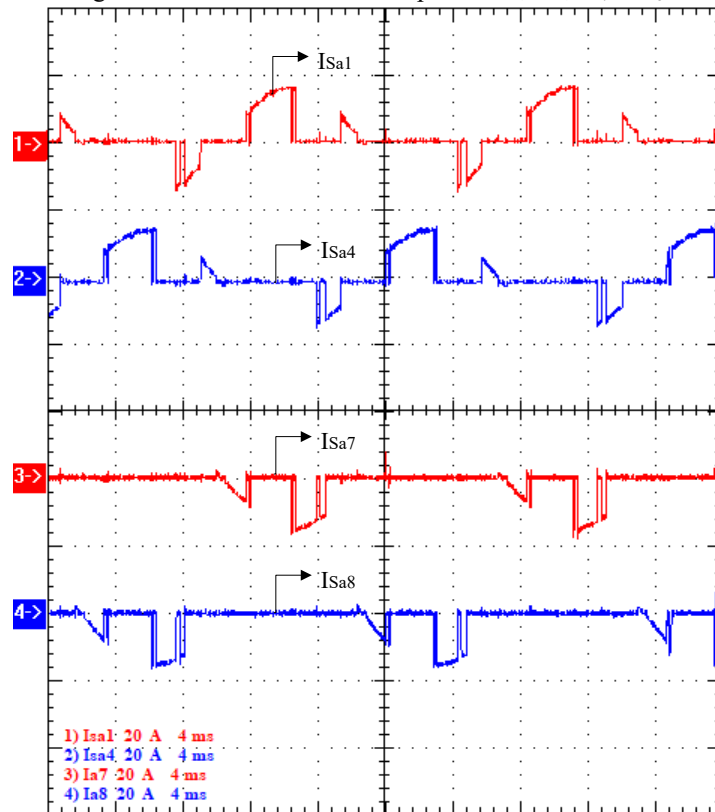
Fonte: Elaborada pelo autor.

Figura 5.6 - Tensão sobre os interruptores  $S_{a1}$ ,  $S_{a4}$ ,  $S_{a7}$  e  $S_{a8}$ .



Fonte: Elaborada pelo autor.

Figura 5.7 - Corrente nos interruptores  $S_{a1}$ ,  $S_{a4}$ ,  $S_{a7}$  e  $S_{a8}$ .



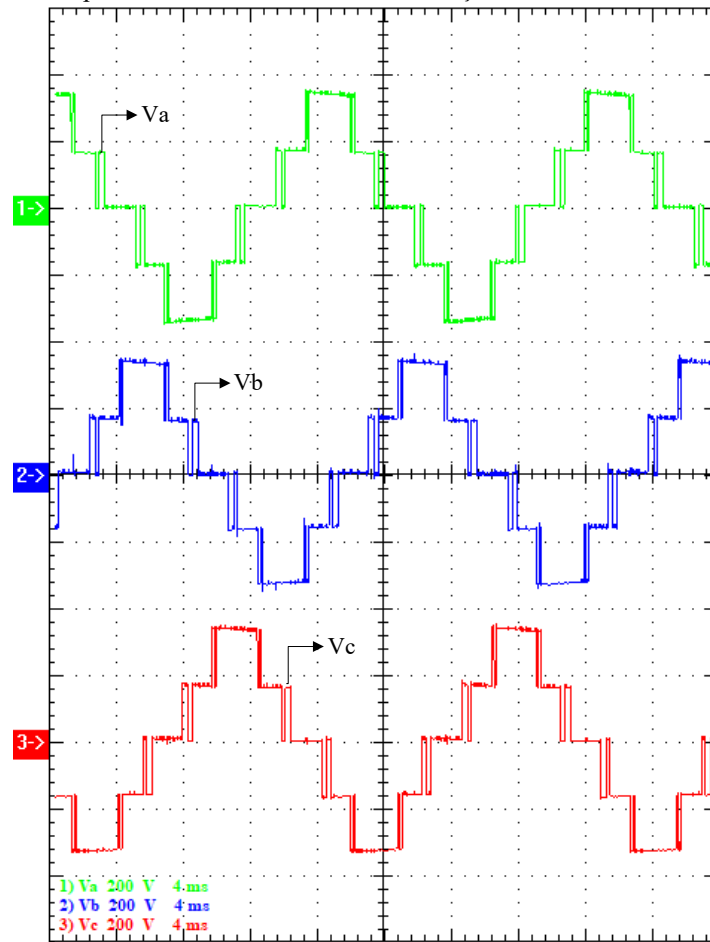
Fonte: Elaborada pelo autor.

Nota-se que os interruptores  $S_{a2}$ ,  $S_{a3}$ ,  $S_{a5}$  e  $S_{a6}$  têm de suportar a tensão total do barramento, enquanto que nos interruptores restantes apenas a metade, desta tensão.

### 5.3.2 FORMAS DE ONDA DE TENSÃO E CORRENTE NA SAÍDA

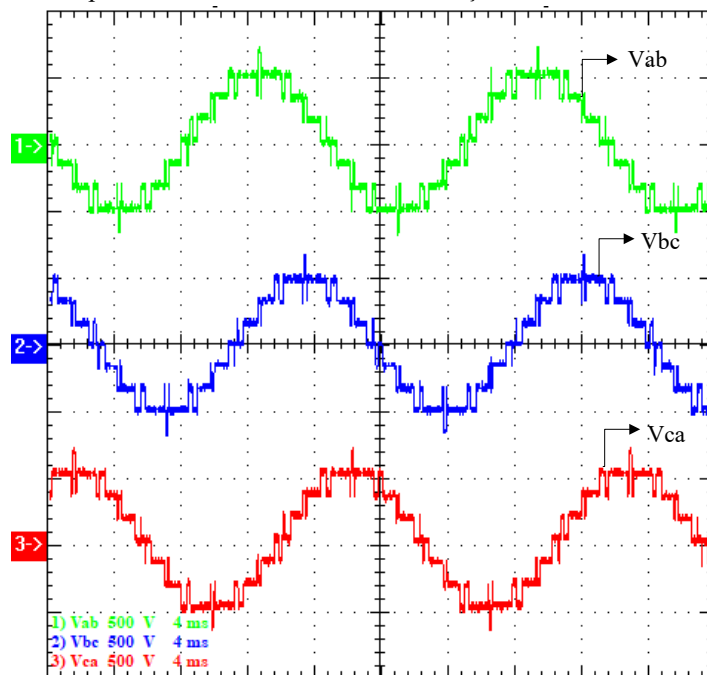
As formas de onda expostas a seguir são referentes ao conversor operando com dois índices de modulação diferentes, 0,9 e 0,5. A Figura 5.8 apresenta as formas de onda das tensões de fase, a Figura 5.9 as formas de onda das tensões de linha e a Figura 5.10 as formas de onda da tensão de linha  $V_{ab}$ , da tensão de fase  $V_a$  e a corrente na saída  $I_a$ , utilizando um índice de modulação 0,9. Lembrando que a preocupação maior é a redução do conteúdo harmônico da tensão de linha, portanto, não há preocupação em eliminar o harmônico de terceira ordem e seus múltiplos das tensões de fase, ficando o equilíbrio da carga encarregado de eliminar tais harmônicos, quando se analisa a tensões de linha.

Figura 5.8 - Tensões de fase para o inversor utilizando a modulação SHE-PWM e índice de modulação de 0,9.



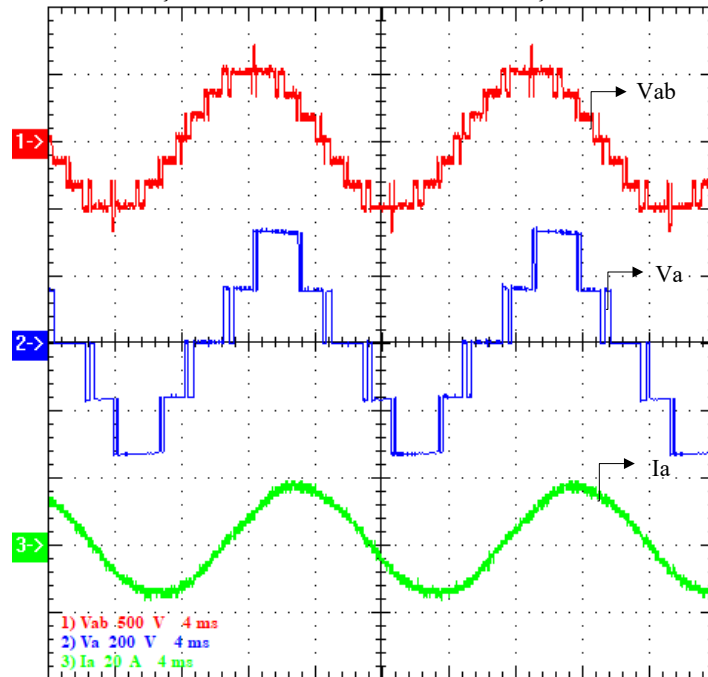
Fonte: Elaborada pelo autor.

Figura 5.9 - Tensões de linha para o inversor utilizando a modulação SHE-PWM e índice de modulação de 0,9.



Fonte: Elaborada pelo autor.

Figura 5.10 - Tensão de linha  $V_{ab}$ , tensão de fase  $V_a$  e corrente de saída  $I_a$  para o inversor utilizando a modulação SHE-PWM e índice de modulação de 0,9.



Fonte: Elaborada pelo autor.

Observa-se que as formas de onda na saída do conversor estão de acordo com a teoria, possuindo o mesmo formato, sendo que as tensões de fase e de linha apresentam, respectivamente, cinco e nove níveis, defasagem de  $120^\circ$  elétricos entre as fases e com frequência de 60 Hz. A corrente de saída possui formato senoidal atrasada em relação à tensão devido ao indutor da carga, comprova-se assim o correto funcionamento da técnica de modulação SHE-PWM aplicada ao inversor.

Utilizando a função FFT do osciloscópio (do inglês *Fast Fourier Transform*) mediu-se a composição harmônica das formas de onda. A Figura 5.11 apresenta os espectros harmônicos da tensão de fase e da tensão de linha e a Figura 5.12 o espectro harmônico da corrente.

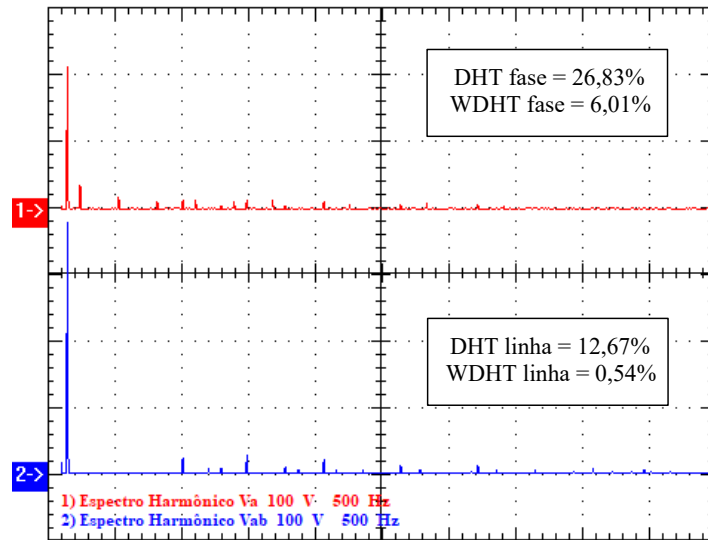
O cálculo da Distorção Harmônica Total - DHT e da Distorção Harmônica Total Ponderada - WDHT dos resultados experimentais, foram realizados utilizando as equações (5.1) e (5.2), considerando as primeiras cinquenta e uma harmônicas (MOHAN et al., 2003).

$$DHT = \frac{100}{a_1} \sqrt{\sum_{h=2}^{N_h} a_h^2} \quad (5.1)$$



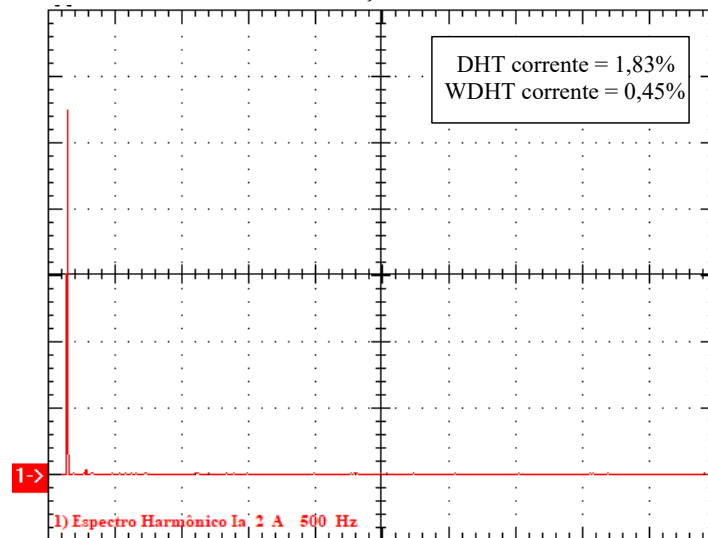
$$\text{WDHT} = \frac{100}{a_1} \sqrt{\sum_{h=2}^{N_h} \left(\frac{a_h}{h}\right)^2} \quad (5.2)$$

Figura 5.11 - Espectro harmônico da tensão de fase e de linha do inversor operando com modulação SHE-PWM e índice de modulação de 0,9.



Fonte: Elaborada pelo autor.

Figura 5.12 - Espectro harmônico da corrente de saída do inversor operando com modulação SHE-PWM e índice de modulação de 0,9.

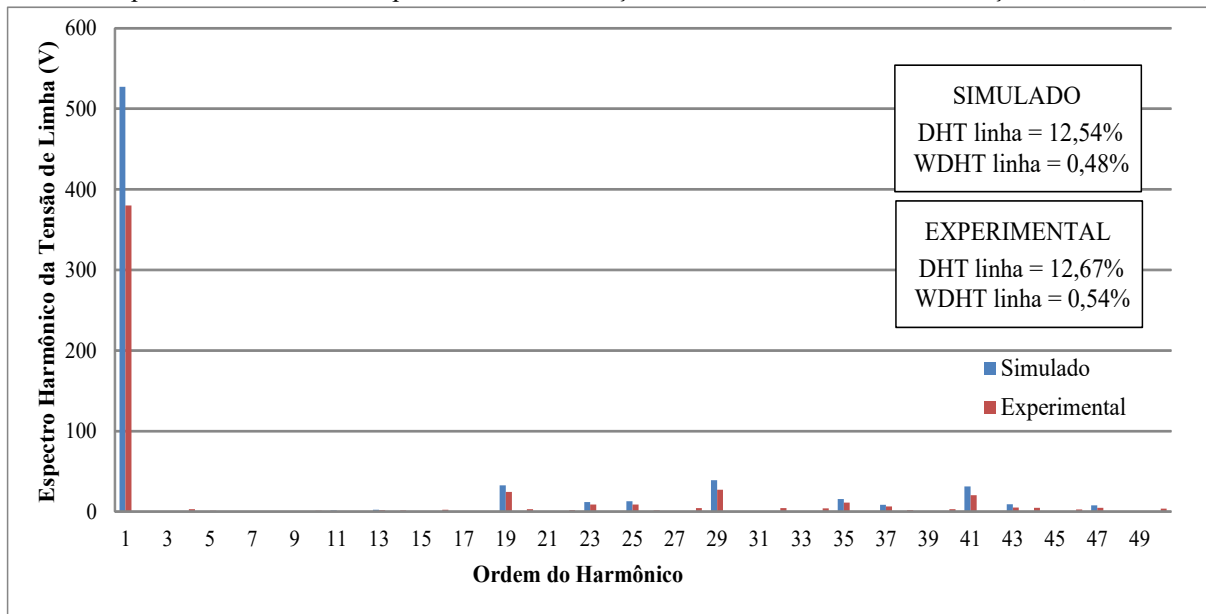


Fonte: Elaborada pelo autor.

O gráfico da Figura 5.13 apresenta um comparativo entre o resultado experimental e o simulado do espectro harmônico da tensão de linha para o inversor operando com índice de modulação de 0,9. Observa-se que os resultados experimentais confirmam os resultados simulados, eliminando-se os harmônicos de ordens 3, 5, 7, 9, 11, 13, 15 e 17, comprovando a

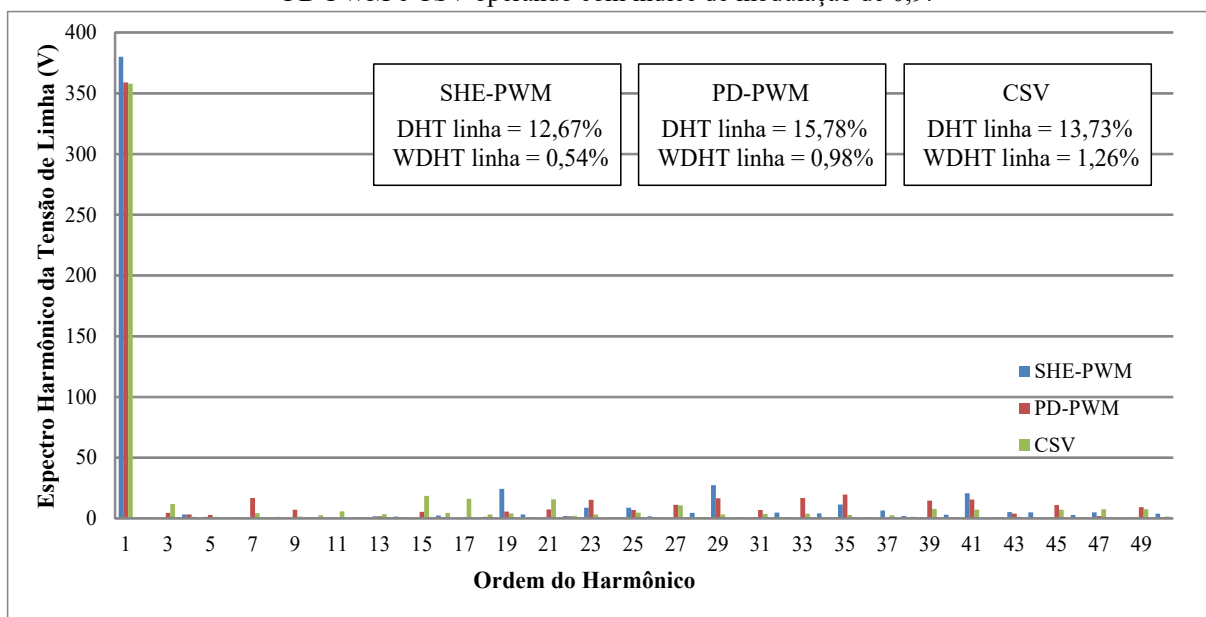
eficácia do método de eliminação de harmônicos através do controle dos ângulos de chaveamento, que é o foco principal da modulação SHE-PWM. Já o gráfico da Figura 5.14 faz um comparativo dos espectros harmônicos da tensão de linha para o inversor operando com as técnicas de modulação SHE-PWM, PD-PWM e CSV-PWM, com índice de modulação 0,9.

Figura 5.13 - Comparação entre o espectro harmônico da tensão de linha simulado e o da tensão de linha experimental do inversor operando com modulação SHE-PWM e índice de modulação de 0,9.



Fonte: Elaborada pelo autor.

Figura 5.14 - Espectros harmônicos da tensão de linha experimental para as técnicas de modulação SHE-PWM, PD-PWM e CSV operando com índice de modulação de 0,9.



Fonte: Elaborada pelo autor.

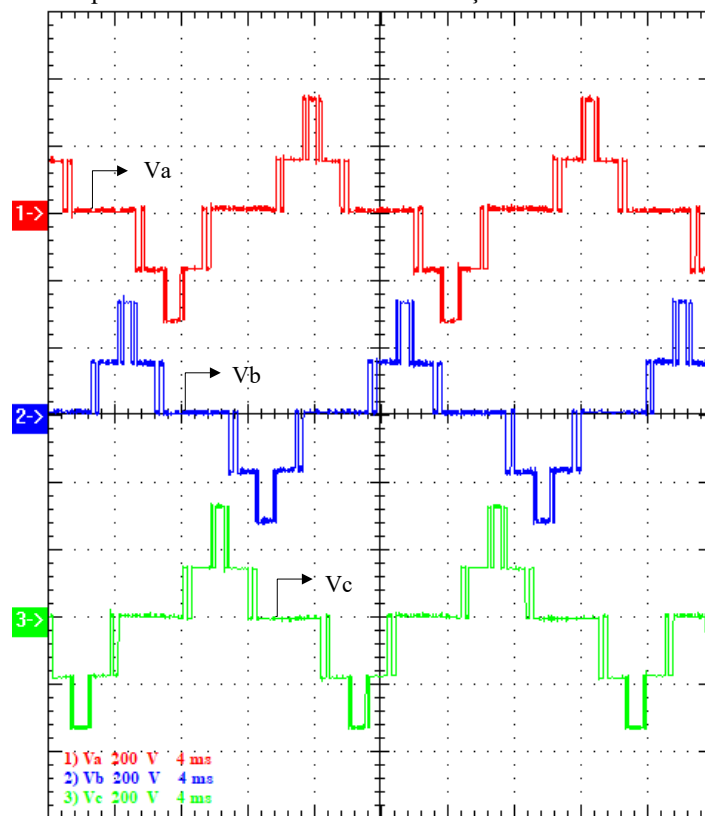
A partir deste conjunto de resultados pode-se afirmar que do ponto de vista do conteúdo harmônico da tensão de linha a modulação SHE-PWM é vantajosa, pois elimina os harmônicos mais problemáticos, reduzindo consideravelmente a Distorção Harmônica Total Ponderada, facilitando assim, se necessário, a filtragem dos componentes harmônicos remanescentes.

Após exposição dos resultados obtidos para o índice de modulação 0,9, prossegue-se a apresentação dos dados, porém mudando o índice de modulação para 0,5.

A Figura 5.15 apresenta as formas de onda das tensões de fase, a Figura 5.16 as formas de onda das tensões de linha e a Figura 5.17 as formas de onda da tensão de linha  $V_{ab}$ , da tensão de fase  $V_a$  e a corrente na saída  $I_a$ , utilizando um índice de modulação 0,5.

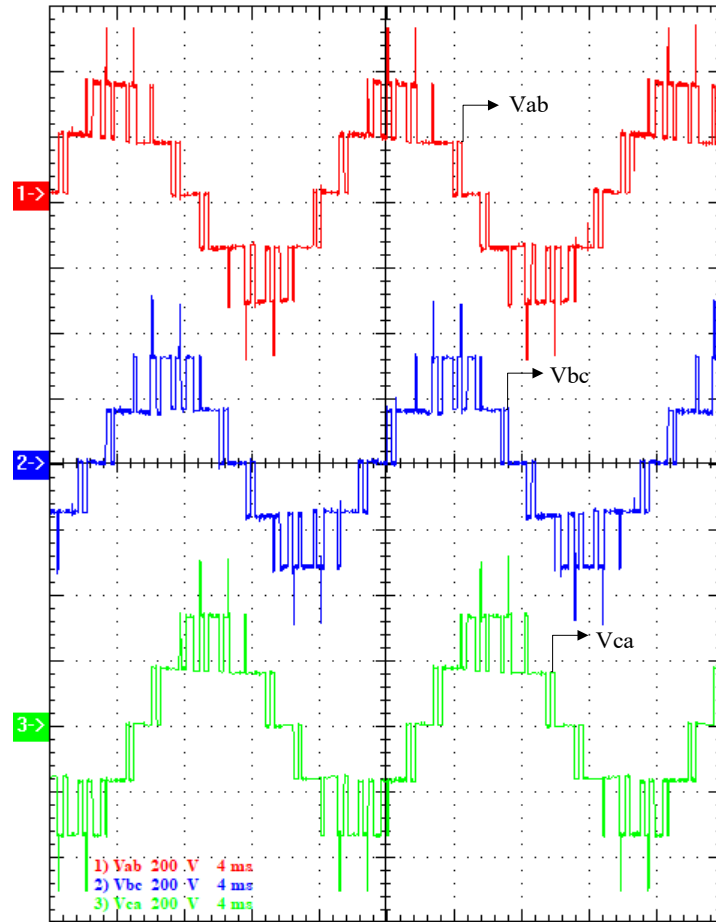
A mudança no índice de modulação para 0,5 faz com que a tensão de linha possua apenas sete níveis, conseqüentemente piorando o conteúdo harmônico, pois o número de níveis da tensão de linha depende da combinação da tensão entre fases. Portanto, os ângulos em que os interruptores comutam interferem diretamente no número de níveis da tensão de linha, afetando também o desempenho do conversor, mesmo permanecendo os cinco níveis na tensão de fase.

Figura 5.15 - Tensões de fase para o inversor utilizando a modulação SHE-PWM e índice de modulação de 0,5.



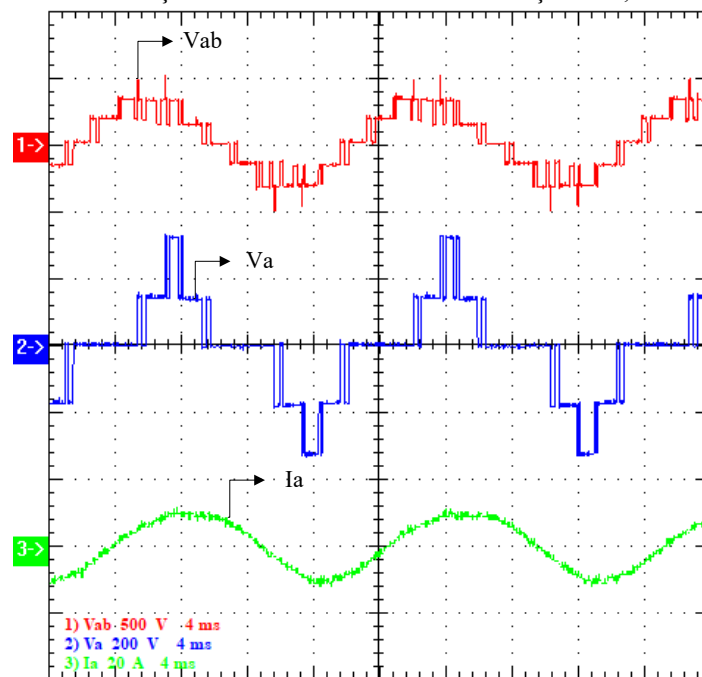
Fonte: Elaborada pelo autor.

Figura 5.16 - Tensões de linha para o inversor utilizando a modulação SHE-PWM e índice de modulação de 0,5.



Fonte: Elaborada pelo autor.

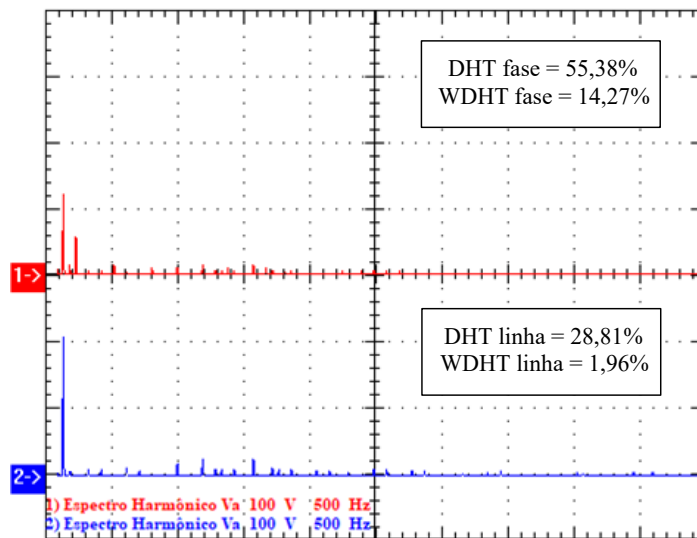
Figura 5.17 - Tensão de linha  $V_{ab}$ , tensão de fase  $V_a$  e corrente de saída  $I_a$  para o inversor utilizando a modulação SHE-PWM e índice de modulação de 0,5.



Fonte: Elaborada pelo autor.

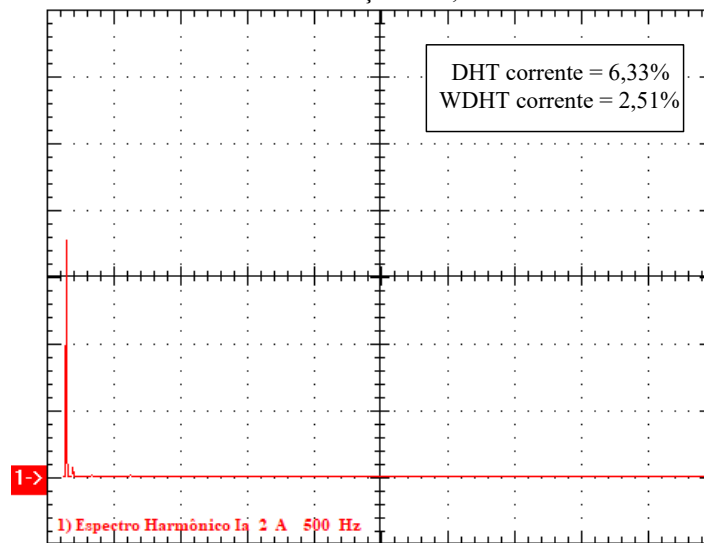
A Figura 5.18 apresenta os espectros harmônicos da tensão de fase e da tensão de linha, bem como os respectivos valores da Distorção Harmônica Total e da Distorção Harmônica Total Ponderada, considerando as primeiras cinquenta e uma harmônicas e a Figura 5.19 o espectro harmônico da corrente. É necessário lembrar que a técnica de modulação realizada não tem a preocupação de eliminar o harmônico de terceira ordem e seus múltiplos, portanto se fazem presentes no espectro da tensão de fase, já na tensão de linha estes são eliminados, considerando o equilíbrio da carga.

Figura 5.18 - Espectro harmônico da tensão de fase e de linha do inversor operando com modulação SHE-PWM e índice de modulação de 0,5.



Fonte: Elaborada pelo autor.

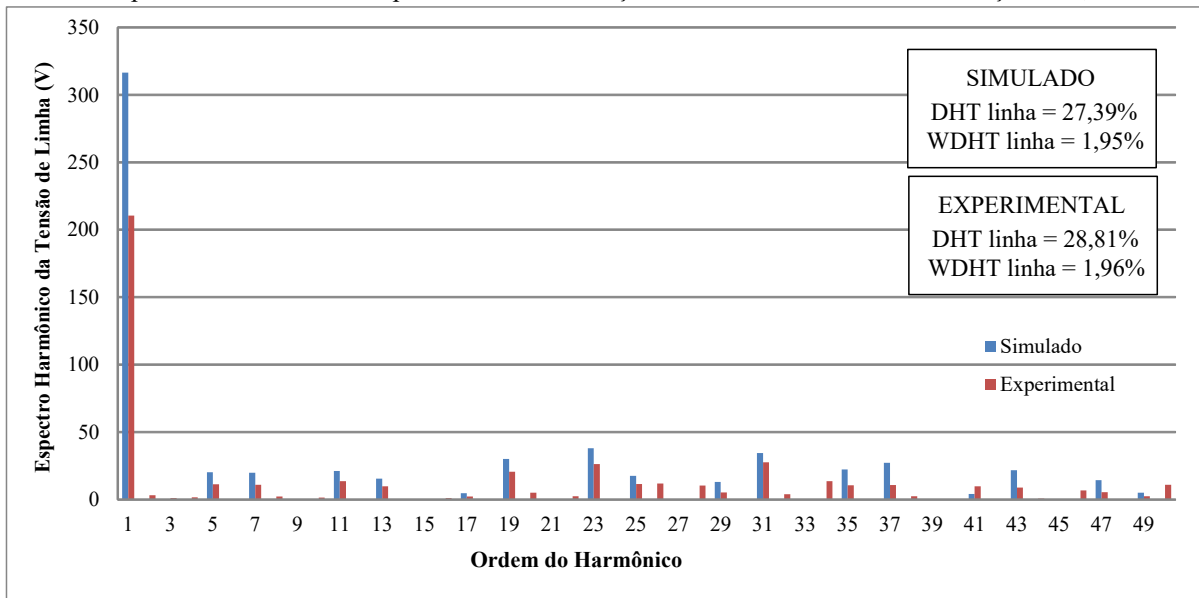
Figura 5.19 - Espectro harmônico da corrente de saída do inversor operando com modulação SHE-PWM e índice de modulação de 0,5.



Fonte: Elaborada pelo autor.

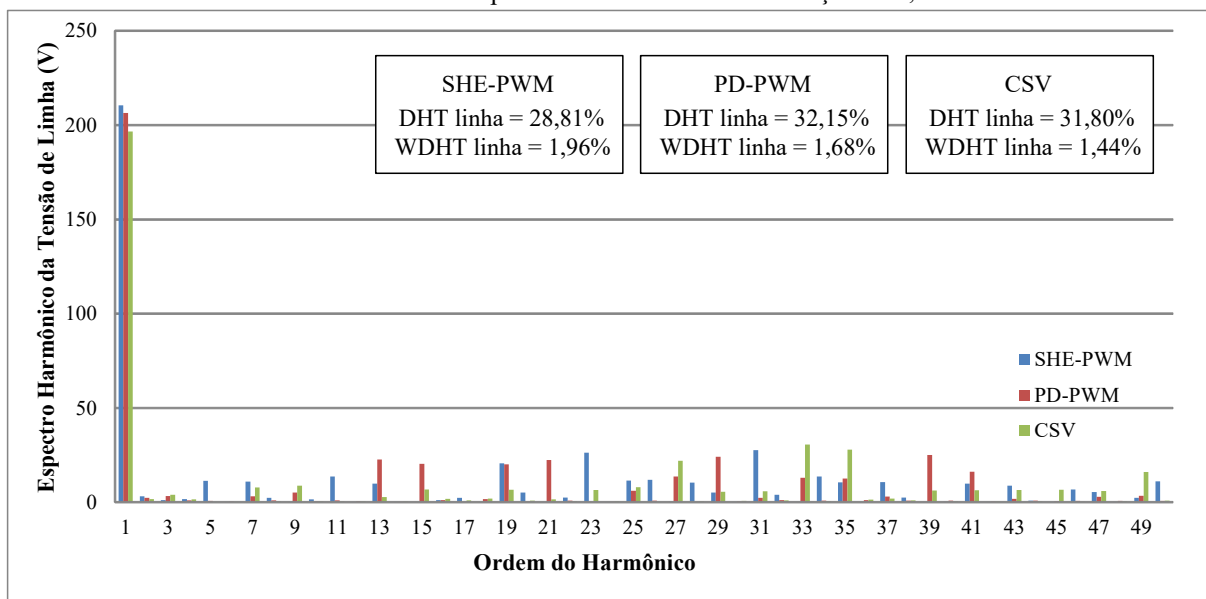
O gráfico da Figura 5.20 apresenta um comparativo entre o resultado experimental e o simulado do espectro harmônico da tensão de linha para o inversor operando com índice de modulação de 0,5. Já o gráfico da Figura 4.21 faz um comparativo dos espectros harmônicos da tensão de linha para o inversor operando com as técnicas de modulação SHE-PWM, PD-PWM e CSV-PWM, com índice de modulação 0,5.

Figura 5.20 - Comparação entre o espectro harmônico da tensão de linha simulado e o da tensão de linha experimental do inversor operando com modulação SHE-PWM e índice de modulação de 0,5



Fonte: Elaborada pelo autor.

Figura 5.21 - Espectros harmônicos da tensão de linha experimental para as técnicas de modulação SHE-PWM, PD-PWM e CSV operando com índice de modulação de 0,5



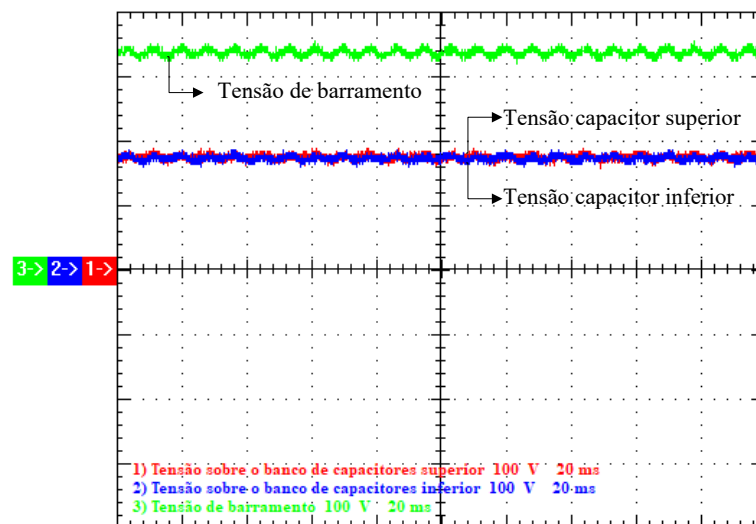
Fonte: Elaborada pelo autor.

Observa-se que os resultados experimentais confirmam os resultados simulados. Porém como já esperado pela simulação, os harmônicos indesejáveis não são totalmente eliminados quando o conversor opera com índice de modulação 0,5, comprovando a teoria citada anteriormente, de que o índice de modulação interfere no desempenho do conversor.

### 5.3.3 FORMAS DE ONDA DE TENSÃO SOBRE OS CAPACITORES DE BARRAMENTO

A Figura 4.22 mostra o equilíbrio de tensão sobre os capacitores de barramento, como o esperado, sendo que cada um dos bancos de capacitores suporta a metade da tensão de barramento.

Figura 5.22 - Formas de onda de tensão sobre os capacitores de barramento



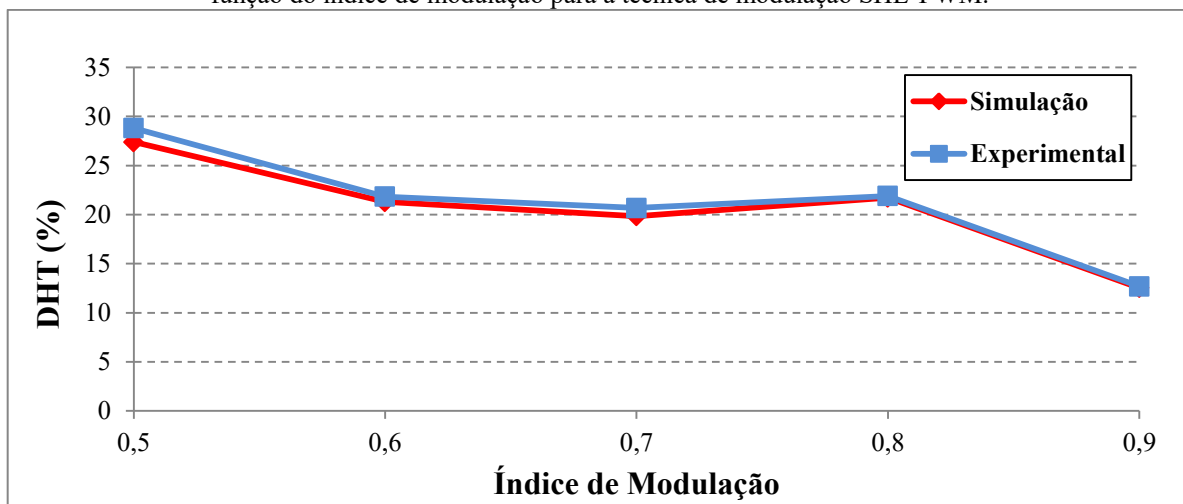
Fonte: Elaborada pelo autor.

## 5.4 COMPARATIVO ENTRE AS MODULAÇÕES APLICADAS AO INVERSOR HB/ANPC

Verifica-se que, o conversor operando com a modulação SHE-PWM, produz cinco níveis de tensão na saída de uma das fases independentemente do índice de modulação, pois estes níveis são determinados pelo acionamento dos interruptores. Porém, quando se analisa a tensão de linha o número de níveis depende da combinação entre fases, como explicado anteriormente. Assim, constata-se que somente se produz nove níveis quando o índice é igual ou maior que 0,9, no outros casos analisados (índices de 0,5, 0,6, 0,7 e 0,8) a tensão de linha possui apenas sete níveis.

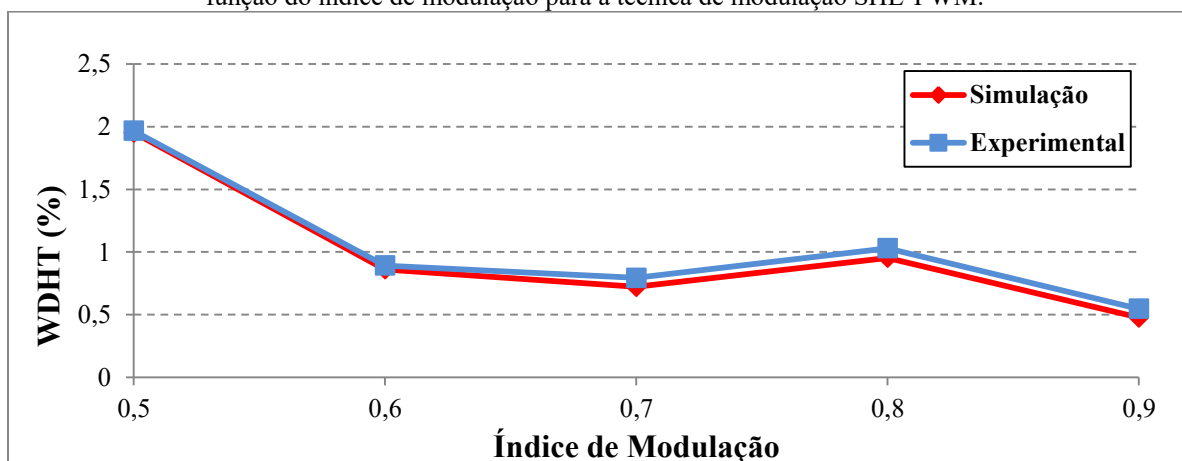
Com o intuito de confirmar os resultados experimentais dos conteúdos harmônicos, medidos experimentalmente utilizando a função FFT do osciloscópio, é realizada uma comparação entre os resultados medidos e os resultados simulados no software PSIM. A Figura 4.23 apresenta uma comparação, entre a DHT simulada e a DHT experimental da tensão de linha em função do índice de modulação, já a Figura 4.24 apresenta uma comparação, entre a WDHT simulada e a WDHT experimental da tensão de linha em função do índice de modulação.

Figura 5.23 - Gráfico comparativo da DHT da tensão de linha experimental e da tensão de linha simulada em função do índice de modulação para a técnica de modulação SHE-PWM.



Fonte: Elaborada pelo autor.

Figura 5.24 - Gráfico comparativo da WDHT da tensão de linha experimental e da tensão de linha simulada em função do índice de modulação para a técnica de modulação SHE-PWM.



Fonte: Elaborada pelo autor.

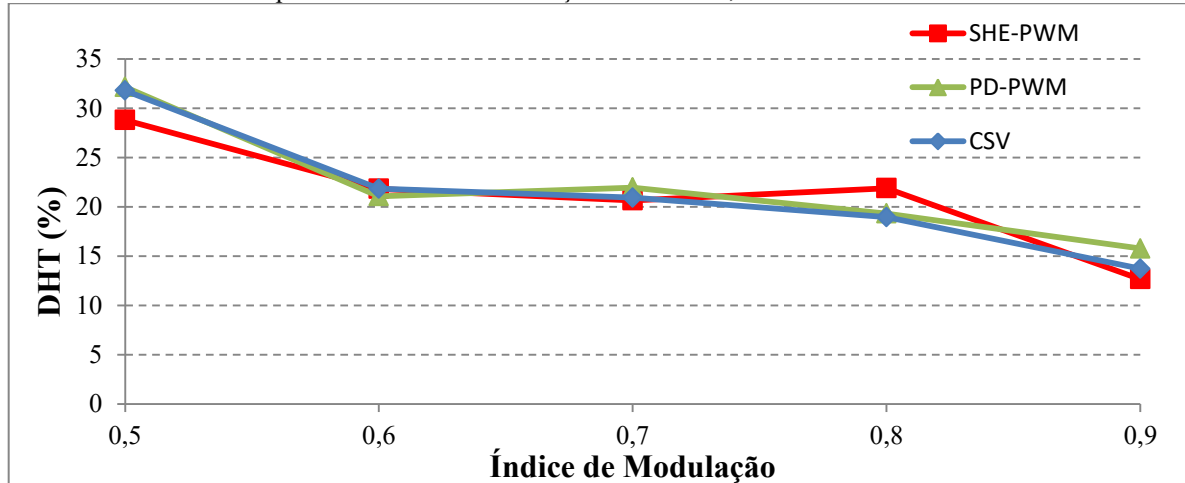
O comportamento da evolução da DHT e da WDHT em função do índice de modulação segue o mesmo padrão, tanto na simulação quanto no experimento.

A Figura 4.25 apresenta a evolução da Distorção Harmônica Total da tensão de



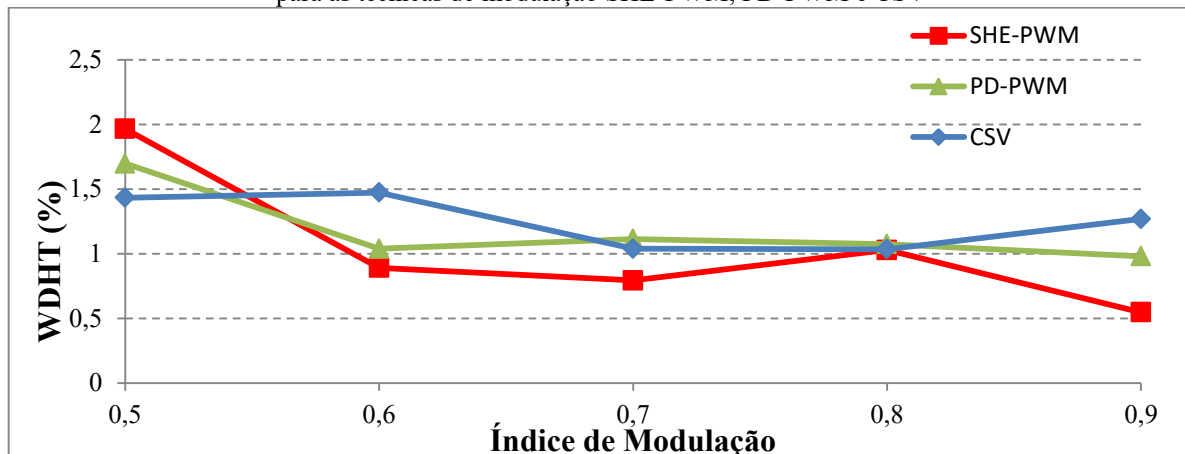
linha experimental em função do índice de modulação para o inversor operando com três técnicas distintas de modulação, a SHE-PWM, a PD-PWM e a CSV-PWM. Já os resultados apresentados na Figura 4.26 tratam da Distorção Harmônica Total Ponderada para estas mesmas modulações citadas.

Figura 5.25 - Gráfico comparativo da DHT da tensão de linha experimental em função do índice de modulação para as técnicas de modulação SHE-PWM, PD-PWM e CSV



Fonte: Elaborada pelo autor.

Figura 5.26 - Gráfico comparativo da WDHT da tensão de linha experimental em função do índice de modulação para as técnicas de modulação SHE-PWM, PD-PWM e CSV



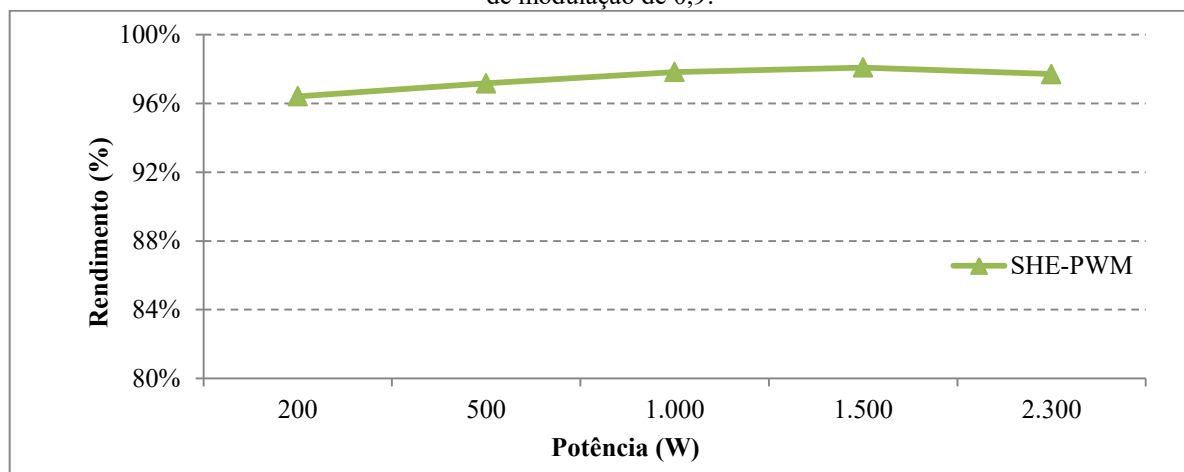
Fonte: Elaborada pelo autor.

Levando em consideração que a modulação SHE-PWM visa eliminar os harmônicos de baixa ordem e observando os resultados mostrados acima, pode-se afirmar que a técnica aplicada a este inversor é satisfatória em termos de melhoramento do conteúdo harmônico. Analisando apenas a WDHT, somente no pior caso, índice de 0,5, a SHE-PWM não é superior às outras duas modulações. Para o melhor caso, índice de 0,9, tem-se uma redução de 45% da WDHT com relação a PD-PWM e de 58% com relação a CSV-PWM.

A Figura 4.27 apresenta o rendimento quando se varia a carga para o inversor operando com modulação SHE-PWM e índice de modulação fixado em 0,9. Pode-se observar que a estrutura apresenta rendimentos superiores a 96% para os casos testados, sendo que com uma carga de 1500 W o conversor apresentou rendimento de 98%.

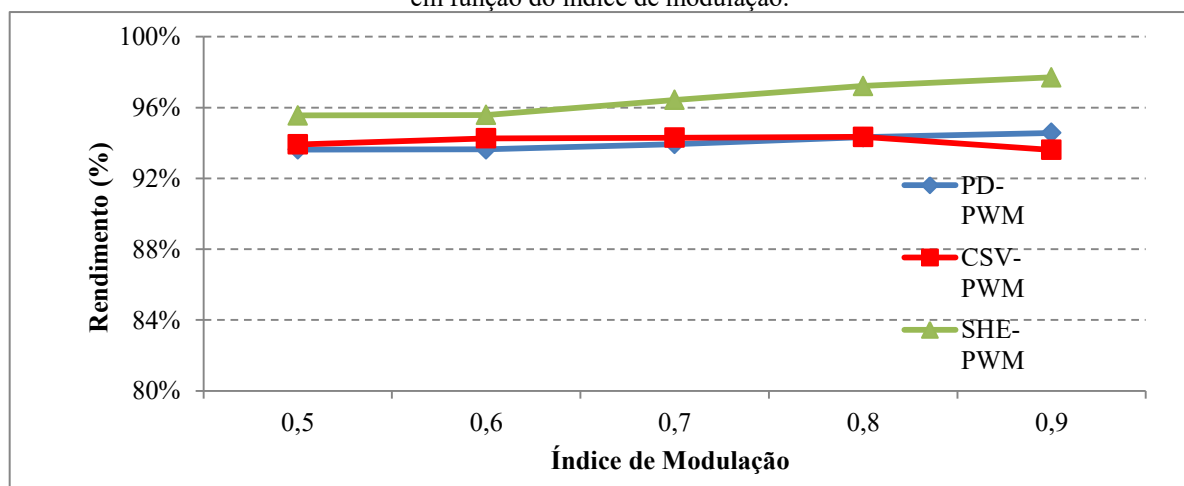
A Figura 4.28 apresenta um gráfico comparativo do rendimento em função do índice de modulação para o inversor operando em potência nominal com as modulações SHE-PWM, PD-PWM e CSV-PWM. Conforme esperado a técnica de modulação SHE-PWM apresenta melhor rendimento principalmente em função da menor distorção harmônica e da menor quantidade de chaveamentos. Vale ressaltar que as curvas de rendimento foram levantadas para uma das fases, utilizando um wattímetro conectado na entrada de uma das fases do inversor e outro wattímetro conectado na saída desta mesma fase.

Figura 5.27 - Rendimento em função da potência para o inversor operando com modulação SHE-PWM e índice de modulação de 0,9.



Fonte: Elaborada pelo autor.

Figura 5.28 - Gráfico comparativo de rendimento para as técnicas de modulação SHE-PWM, PD-PWM e CSV em função do índice de modulação.



Fonte: Elaborada pelo autor.

A diferença entre aos valores calculados utilizando as perdas estimadas por simulação e os valores coletados experimentalmente se deve principalmente às perdas nas trilhas de cobre do protótipo, as quais não são consideradas durante a análise de perdas, e também devido a própria estimativa realizada através da aproximação de curvas dadas pelos *datasheets*.

## 5.5 CONSIDERAÇÕES FINAIS

Este capítulo apresentou os resultados obtidos experimentalmente em laboratório utilizando um protótipo do inversor HB/ANPC de cinco níveis operando com modulação SHE-PWM. A fim de realizar comparações de desempenho utilizaram-se também as modulações PD-PWM e CSV-PWM.

O FPGA mostrou-se eficiente para implementar as modulações, sendo simples a alteração dos índices de modulação, ou até mesmo da própria modulação a ser utilizada para realizar as medições, sem precisar ser substituído ou adicionado qualquer componente externo.

As formas de onda coletadas nos ensaios confirmaram o estudo teórico realizado. As formas de onda de tensões e correntes sobre os semicondutores e na saída do inversor possuem características condizentes com o esperado. Os resultados de DHT, em função do índice de modulação, foram apresentados realizando uma comparação, entre a simulação realizada no software PSIM e o experimental. Verificou-se a semelhança do comportamento entre estes resultados, tornando possível desta forma confirmar a análise desenvolvida.

Com exceção do resultado obtido para o índice de modulação de 0,5, baseado nos valores coletados da distorção harmônica ponderada, o conteúdo harmônico apresentou melhora para toda a faixa de índices testados. As curvas de rendimento mostram que o inversor tem um desempenho melhor quando opera com a modulação SHE-PWM, em função da distorção harmônica reduzida e da menor quantidade de chaveamentos.

## 6 CONCLUSÃO

Este documento apresentou o desenvolvimento de uma metodologia para aplicar a modulação SHE-PWM ao Inversor Multinível Híbrido Simétrico Trifásico de Cinco Níveis baseado nas topologias *Half-Bridge* e ANPC proposto por Silva (2013).

Visando a aplicação em acionamento de motores elétricos, eliminou-se através da modulação os harmônicos mais indesejáveis para um bom funcionamento destes equipamentos (5°, 7°, 11°, 13° e 17°). O cálculo dos ângulos de chaveamento necessários para eliminar tais harmônicos foi realizado através do método numérico de Newton-Raphson, implementado no software MATLAB.

A análise feita por simulação mostrou que a modulação SHE-PWM é eficiente quando aplicada ao inversor HB/ANPC. A superioridade dos resultados simulados justificou o prosseguimento do projeto, visto que para se igualar ao desempenho da SHE-PWM é necessário mais que triplicar o número de chaveamentos das outras duas técnicas, o que ocasionaria em perdas bem maiores por comutação, além de outros transtornos advindos de uma maior frequência de comutação.

Os dados coletados experimentalmente confirmaram a teoria, visto que para os mesmos parâmetros utilizados por Silva (2013), o conversor apresentou um rendimento maior na faixa de 96 a 98 %, dependendo do índice de modulação e também um melhor conteúdo harmônico, eliminando os harmônicos indesejáveis de baixa ordem. Com exceção do resultado obtido para o índice de modulação de 0,5, baseado nos valores coletados da distorção harmônica ponderada, o conteúdo harmônico apresentou melhora para toda a faixa de índices testados. Sendo que para o melhor caso, índice de 0,9, a WDHT é 45% menor em relação a PD-PWM e 58% menor com relação a CSV-PWM.

Como desvantagens da metodologia desenvolvida podem-se citar: impossibilidade de operar com índice de modulação menor que 0,5, e a complexidade para implementar o controle das chaves de forma *on-line*, tendo em vista o custo computacional exigido para solucionar o sistema não-linear. Em estudos futuros, planeja-se explorar ainda mais a modulação SHE-PWM aumentando-se o número de níveis, assim como outras modulações, buscando avaliar as vantagens e desvantagens das mais diversas técnicas, bem como analisar o comportamento do inversor frente a novas configurações e aplicações. Como por exemplo, a conexão de painéis fotovoltaicos a rede de distribuição utilizando a topologia HB/ANPC, o que implicaria na necessidade de estratégias de sincronismo.

## REFERÊNCIAS BIBLIOGRÁFICAS

- AHMADI, D., ZOU, K., LI, C., HUANG, Y., WANG, J. **A universal selective harmonic elimination method for high-power inverters.** *IEEE Trans. on Power Electronics*, vol. 26, no. 10, pp. 2743-2752, Oct. 2011.
- ALMEIDA JUNIOR, J. A. **Modulação SHE com algoritmo genético aplicada ao conversor multinível MLC2 modular de sete níveis.** 272 f. Dissertação (mestrado) – Universidade do Estado do Rio de Janeiro, Faculdade de Engenharia, Rio de Janeiro. 2016.
- ÁVILA, D. M. A.; MENDES, M. A. S.; CORTIZO, P. C. **Um novo método de modulação para conversores multiníveis com redução das perdas por comutação e THD.** *Revista Eletrônica de Potência – SOBRAEP*, v. 16, n. 2, pp. 118 - 129, Mai. 2011.
- BAKER, R. H.; BANNISTER, L. H. **Electric power converter**, U. S. Patent nº 3 867 643, 1975.
- BATSCHAUER, A. L.; PERIN, A. J.; MUSSA, S. A.; HELDWEIN, M. L. **Evaluation of the hybrid four-level converter employing half-bridge modules for two different modulation schemes.** *Twenty-Fifth Annual IEEE Applied Power Electronics Conference and Exposition APEC*, p. 909-914, Feb. 2010.
- BATSCHAUER, A. L. **Inversor multiníveis híbrido trifásico baseado em módulos meia-ponte.** 2011. 330p. Tese (Doutorado em Engenharia Elétrica), Universidade Federal de Santa Catarina, Florianópolis, 2011.
- BATSCHAUER, A. L.; MUSSA, S. A.; HELDWEIN, M. L. **Three-phase hybrid multilevel inverter based on half-bridge modules.** *IEEE Transactions on Industrial Electronics*, v. 59, n. 2, p. 668-678, Feb 2012.
- BOWES, S. R. **Newsinusoidal pulsewidth-modulated inverter.** *IEE Proc.*, vol. 122, no. 11, pp. 1279–1285, 1975.
- BOYLESTAD, R. L.; NASHELSKY, L. **Dispositivos Eletrônicos e Teoria de Circuitos.** 8ª ed. São Paulo: Pearson. p. 696, 2004.
- BRÜCKNER, T.; BERNET, S. **Loss balancing in three-level voltage source inverters applying active NPC switches.** *32nd Annual IEEE Power Electronics Specialist Conference*, v. 2, p. 1135–1140, 2001.
- BUM-SEOK, S.; DONG-SEOK, H. **A New n-level High Voltage Inversion System,** *IEEE Transactions on Industrial Electronics*, vol. 44, nº. 1, pp. 107-115, Feb. 1997.
- CASANELLAS, F. **Losses in PWM inverters using IGBTs.** *IEE Proceedings –Electric Power Applications*, v. 141, n. 5, p. 235 - 239, Set. 1994.
- CHERCHALI, N. O., TLEMÇANI, A. A., BARAZANE, L., BOUCHERIT, M. S. **A Five Level NPC Inverter Controlled by Using SHEPWM Strategy.** *Advances in Electrical and Electronic Engineering*, Vol 9, No. 3, pp 109-117, Sep 2011.

DA COSTA, Cesar. **Projetos de Circuitos Digitais com FPGA**. São Paulo: Érica, 2009.

DAHIDAH, M. S. A., AGELIDIS, V. G. **Selective harmonic elimination PWM control for cascaded multilevel voltage source converters: A generalized formula**. IEEE Trans. Power Electron., vol. 23, no. 4, pp. 1620–1630, Jul. 2008.

DING, K.; ZOU, Y.; CAI, Z.; WU, Z.; LIU, F.; XU, X. **A novel single-phase 5-level asymmetric inverter**. The 4th International Power Electronics and Motion Control Conference IPEMC. v.2, p.793-798, Aug. 2004.

DROFENIK, U.; KOLAR, J.W.: **A General Scheme for Calculating Switching- and Conduction losses of Power Semiconductors in Numerical Circuit Simulations of Power Electronic Systems**, International Power Electronics Conference, Niigata, Japan, 04 – 08 April 2005.

DUGAN, R. C.; McGRANAGHAN, M. F.; BEATY, H. W. **Electrical Power Systems Quality**. 2nd ed. New York: McGraw-Hill, 1996.

FRANQUELO, L. G.; RODRIGUEZ, J.; LEON, J. I.; KOURO, S.; PORTILLO, R.; PRASTS, M. A. M. **The age of multilevel converters arrives**. IEEE Industrial Electronics Magazine, v. 2, n. 2, p. 28-39, Jun. 2008.

HENN, G. A. L. **Técnicas de modulação aplicada às estruturas de multiníveis com neutro grampeado e capacitor flutuante para redução de perdas e distorção harmônica**. 2012. 126 f. Tese (doutorado) – Universidade Federal do Ceará, Centro de Tecnologia, Departamento de Engenharia Elétrica, Programa de Pós-Graduação em Engenharia Elétrica, Fortaleza. 2012.

HENN, G. A. L.; PRAÇA, P. P.; SILVA, R. N. A. L.; et. al. **Adapted modulation for THD performance improvement and losses reduction on multilevel inverters**. Revista Eletrônica de Potência – SOBRAEP, v. 16, n. 2, pp. 103 - 109, Mai. 2011.

HOLMES, D. G.; LIPO, T. A. **Pulse width modulation for power converters – Principles and practice**. United States of America: IEEE Press / John Wiley & Sons, 2003.

HOLTZ, J. **Pulse width modulation for electronic power conversion**. IEEE Proceedings, v. 82, n. 8, p. 1194-1214, Ago. 1994.

ITAIPU, **Integração ao Sistema Brasileiro**. Disponível em: < <https://www.itaipu.gov.br/energia/integracao-ao-sistema-brasileiro>>. Acesso em: 28 de Outubro de 2015.

LIU, J.; CHEN, W.; ZHANG, J.; XU, D.; LEE, F. C. **Evaluation of power losses in different CCM mode single-phase boost PFC converters via a simulation tool**. Industry Applications Conference, 2001. Thirty-Sixth IAS Annual Meeting. Conference Record of the 2001 IEEE, vol.4, p. 2455-2459, set-oct. 2001.

MARCHESONI, M.; MAZZUCHELLI, M.; TENCONI, S. **A nonconventional power converter for plasma stabilization**, IEEE Transactions on Power Electronics, vol. 5, no. 2, pp. 212-219, Abr. 1991.

MCGRATH, B. P.; HOLMES, D.G. **Multicarrier PWM strategies for multilevel inverters.** IEEE Transactions on Industrial Electronics, v. 49, n. 4, p. 858-867, Ago. 2002.

MCGRATH, B. P.; HOLMES, D. G.; LIPO, T. **Optimized space vector switching sequences for multilevel inverters.** IEEE Transactions on Power Electronics, v. 18, n. 6, p. 1293-1301, Nov. 2003.

MOHAN, N.; UNDELAND, T. M.; ROBBINS, W. P. **Power electronics: converters, applications, and design.** 2nd ed. New York: John Wiley, 1995.

MEYNARD, T. A.; FOCH, H. **Multilevel conversion: high voltage chopper and voltage source inverters.** 23rd Annual IEEE Power Electronics Specialist Conference-PESC, v.1, p.397-403, Jun.-Jul. 1992.

MUELLER, O. M.; GRAN, R. J., **Reducing Switching Losses in Series Connected Bridge Inverters and Amplifiers,** U.S. Patent 5 734 565, to American Superconductor Corporation, 1998.

MUNK-NIELSEN, S.; TUTELEA, L. N. ; JAEGER, U. **Simulation with ideal switch models combined with measured loss data provides a good estimate of power loss.** Industry Applications Conference, 2000. Conference Record of the 2000 IEEE, Vol. 5, p. 2915-2922, oct. 2000.

NABAE, A.; TAKAHASHI, I.; AKAGI, H. **A new neutral-point-clamped PWM inverter.** IEEE Transactions on Industry Applications, v.IA-17, n.5, p.518-523, Sept. 1981.

NETO, J. A. F. **Análise comparativa de inversores multiníveis monofásicos baseados em células de comutação com elevação da capacidade de corrente.** 2014. 243 f. Tese (doutorado) – Universidade Federal do Ceará, Centro de Tecnologia, Departamento de Engenharia Elétrica, Programa de Pós-Graduação em Engenharia Elétrica, Fortaleza. 2014.

ODAKA, A.; ITOH, J.-I.; SATO, I.; OHGUCHI, H.; KODACHI, H.; EGUCHI, N. ; UMIDA, H. **Analysis of loss and junction temperature in power semiconductors of the matrix converter using simple simulation methods.** Industry Applications Conference, 2004. 39th IAS Annual Meeting. Conference Record of the 2004 IEEE, v. 2, p. 850-855, oct. 2004.

OLIVEIRA JR, A. S.; SILVA, E. R.; JACOBINA, C. B. **Uma abordagem simplificada para modulação por largura de pulso em inversores multiníveis com controle das tensões nos capacitores do barramento cc.** Revista Eletrônica de Potência – SOBRAEP, v. 10, n. 2, pp. 57–65, Nov. 2005.

PIRES, W. D. L. **Guia Técnico – Motores de Indução Alimentados por Conversores de Frequência PWM,** Weg Equipamentos Elétricos S.A. – Divisão Motores, 2006.

PONTT, J., RODRIGUEZ, J., HUERTA, R. **Mitigation of non-eliminated harmonics of SHEPWM three-level multi-pulse three-phase active front end converters with low switching frequency for meeting standard IEEE-519– 92.** IEEE Trans. Power Electron., vol. 19, no. 6, pp. 1594–1600, Nov. 2004.

RASHID, M. H. **Eletrônica de potência: circuitos, dispositivos e aplicações**, São Paulo: Makron Books, 1ª Edição, 1999.

RAJAPAKSE, A.D.; GOLE, A. M.; WILSON, P. L. **Electromagnetic transients simulation models for accurate representation of switching losses and thermal performance in power electronic systems**. Power Delivery, IEEE Transactions on, v. 20, p. 319-327, jan. 2005.

RODRIGUEZ, J.; JIH-SHENG, L.; FANG ZHENG, P. **Multilevel Inverters: A Survey of Topologies, Controls, and Applications**. IEEE Transactions on Industrial Electronics, vol. 49, n°. 4, pp. 724-738, Aug. 2002.

SCHONUNG , A., STEMMLER, H. **Static frequency changer with subharmonic control in conjunction with reversible variable speed AC drives**. Brown Boveri Rev., vol. 51, pp. 555–577, Aug./Sep. 1964.

SILVA, R. N. A. L. **Inversor multinível híbrido simétrico trifásico de cinco níveis baseado nas topologias half-bridge e ANPC**. 2013. 125 f. Tese (doutorado) – Universidade Federal do Ceará, Centro de Tecnologia, Departamento de Engenharia Elétrica, Programa de Pós-Graduação em Engenharia Elétrica, Fortaleza. 2013.

SILVA, R. N. A. L.; BARRETO, L. H. S. C; PRAÇA, P. P.; OLIVEIRA JR., D. S. HELDWEIN, M. L. MUSSA, S. A. **Conversor híbrido simétrico de cinco níveis baseado nas topologias half-bridge/ANPC**. Revista Eletrônica de Potência – SOBRAEP, v. 17, n. 3, p. 623 - 631, Ago. 2012.

TOLBERT, L. M., PENG, F. Z., HABETLER, T. G. **Multilevel PWM Methods at Low Modulation Indices**. IEEE Trans. Power Electron., vol. 15, no. 4, pp. 719–725, Jul. 2000.

TURNBULL, F. G. **Selected harmonic reduction in static dc-ac inverters**. IEEE Trans. Commun. Electron, pp. 374-378, Julho 1964.

XIAOMING, Y.; BARBI, I. **Fundamentals of a New Diode Clamping Multilevel Inverter**, IEEE Transactions on Power Electronics, vol. 15, n°. 4, pp. 711-718, July 2000.

ZHANG, F., YAN, Y. **Selective Harmonic Elimination PWM Control Scheme on a Three-Phase Four-Leg Voltage Source Inverter**. IEEE transactions on power electronics, vol. 24, no. 7, july 2009.



## ANEXO A – DATASHEET MÓDULO SKM75GB063D

## SKM 75GB063D



SEMITRANS® 2

## Superfast NPT-IGBT Modules

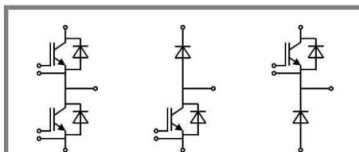
SKM 75GB063D  
SKM 75GAR063D  
SKM 75GAL063D

## Features

- N channel, homogeneous Si-structure (NPT-Non punch-through IGBT)
- Low tail current with low temperature dependence
- High short circuit capability, self limiting if term. G is clamped to E
- Pos. temp.-coeff. of  $V_{CEsat}$
- Very low  $C_{ies}$ ,  $C_{oes}$ ,  $C_{res}$
- Latch-up free
- Fast & soft inverse CAL diodes
- Isolated copper baseplate using DBC Direct Copper Bonding Technology without hard mould
- Large clearance (10 mm) and creepage distances (20 mm)

## Typical Applications\*

- Switching (not for linear use)
- Switched mode power supplies
- UPS
- Three phase inverters for servo / AC motor speed control
- Pulse frequencies also > 10kHz



GB

GAL

GAR

Absolute Maximum Ratings		$T_c = 25^\circ\text{C}$ , unless otherwise specified		
Symbol	Conditions	Values	Units	
<b>IGBT</b>				
$V_{CES}$	$T_j = 25^\circ\text{C}$	600	V	
$I_C$	$T_j = 150^\circ\text{C}$	$T_{case} = 25^\circ\text{C}$	100	A
		$T_{case} = 75^\circ\text{C}$	75	A
$I_{CRM}$	$I_{CRM} = 2 \times I_{Cnom}$	150	A	
$V_{GES}$		$\pm 20$	V	
$t_{psc}$	$V_{CC} = 300\text{V}; V_{GE} \leq 20\text{V}; T_j = 125^\circ\text{C}$ $V_{CES} < 600\text{V}$	10	$\mu\text{s}$	
<b>Inverse Diode</b>				
$I_F$	$T_j = 150^\circ\text{C}$	$T_{case} = 25^\circ\text{C}$	75	A
		$T_{case} = 80^\circ\text{C}$	50	A
$I_{FRM}$	$I_{FRM} = 2 \times I_{Fnom}$	150	A	
$I_{FSM}$	$t_p = 10\text{ms}; \sin.$	$T_j = 150^\circ\text{C}$	440	A
<b>Freewheeling Diode</b>				
$I_F$	$T_j = 150^\circ\text{C}$	$T_c = 25^\circ\text{C}$	100	A
		$T_c = 80^\circ\text{C}$	75	A
$I_{FRM}$	$I_{FRM} = 2 \times I_{Fnom}$	200	A	
$I_{FSM}$	$t_p = 10\text{ms}; \sin$	$T_j = 150^\circ\text{C}$	720	A
<b>Module</b>				
$I_{t(RMS)}$		200	A	
$T_{vj}$		- 40 ... + 150	$^\circ\text{C}$	
$T_{stg}$		- 40 ... + 125	$^\circ\text{C}$	
$V_{isol}$	AC, 1 min.	2500	V	

Characteristics		$T_c = 25^\circ\text{C}$ , unless otherwise specified			
Symbol	Conditions	min.	typ.	max.	Units
<b>IGBT</b>					
$V_{GE(th)}$	$V_{GE} = V_{CE}; I_C = 1\text{mA}$	4,5	5,5	6,5	V
$I_{CES}$	$V_{GE} = 0\text{V}; V_{CE} = V_{CES}; T_j = 25^\circ\text{C}$		0,1	0,3	mA
$V_{CE0}$		$T_j = 25^\circ\text{C}$	1,05		V
		$T_j = 125^\circ\text{C}$	1		V
$r_{CE}$	$V_{GE} = 15\text{V}$	$T_j = 25^\circ\text{C}$	14		$\text{m}\Omega$
		$T_j = 125^\circ\text{C}$	18,7		$\text{m}\Omega$
$V_{CE(sat)}$	$I_{Cnom} = 75\text{A}; V_{GE} = 15\text{V}$	$T_j = 25^\circ\text{C}_{chiplev.}$	2,1	2,5	V
		$T_j = 125^\circ\text{C}_{chiplev.}$	2,4	2,8	V
$C_{ies}$	$V_{CE} = 25; V_{GE} = 0\text{V}; f = 1\text{MHz}$		4,2		nF
$C_{oes}$		0,5		nF	
$C_{res}$		0,3		nF	
$Q_G$	$V_{GE} = 0\text{V} \dots +15\text{V}$		180		nC
$R_{Gint}$	$T_j = ^\circ\text{C}$		0		$\Omega$
$t_{d(on)}$	$R_{Gon} = 15\Omega$	$V_{CC} = 300\text{V}$ $I_C = 75\text{A}$	60		ns
$t_r$			50		ns
$E_{on}$	$R_{Goff} = 15\Omega$	$T_j = 125^\circ\text{C}$ $V_{GE} = \pm 15\text{V}$	3		mJ
$t_{d(off)}$			350		ns
$t_f$			35		ns
$E_{off}$			2,5		mJ
$R_{th(j-c)}$	per IGBT			0,35	K/W

# SKM 75GB063D



**SEMITRANS<sup>®</sup> 2**

## Superfast NPT-IGBT Modules

**SKM 75GB063D**

**SKM 75GAR063D**

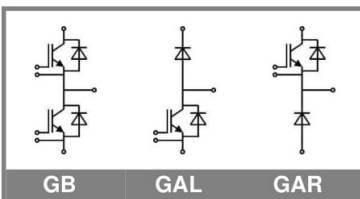
**SKM 75GAL063D**

### Features

- N channel, homogeneous Si-structure (NPT-Non punch-through IGBT)
- Low tail current with low temperature dependence
- High short circuit capability, self limiting if term. G is clamped to E
- Pos. temp.-coeff. of  $V_{CEsat}$
- Very low  $C_{ies}$ ,  $C_{oes}$ ,  $C_{res}$
- Latch-up free
- Fast & soft inverse CAL diodes
- Isolated copper baseplate using DBC Direct Copper Bonding Technology without hard mould
- Large clearance (10 mm) and creepage distances (20 mm)

### Typical Applications\*

- Switching (not for linear use)
- Switched mode power supplies
- UPS
- Three phase inverters for servo / AC motor speed control
- Pulse frequencies also > 10kHz



GB

GAL

GAR

### Characteristics

Symbol	Conditions	min.	typ.	max.	Units
<b>Inverse Diode</b>					
$V_F = V_{EC}$	$I_{Fnom} = 75 \text{ A}; V_{GE} = 0 \text{ V}$				
	$T_j = 25 \text{ }^\circ\text{C}_{chiplev.}$		1,55	1,9	V
	$T_j = 125 \text{ }^\circ\text{C}_{chiplev.}$		1,55		V
$V_{F0}$	$T_j = 125 \text{ }^\circ\text{C}$			0,9	V
$r_F$	$T_j = 125 \text{ }^\circ\text{C}$		10	13,3	m $\Omega$
$I_{RRM}$	$I_F = 75 \text{ A}$		30		A
$Q_{rr}$	$di/dt = 800 \text{ A}/\mu\text{s}$		3,7		$\mu\text{C}$
$E_{rr}$	$V_{GE} = -15 \text{ V}; V_{CC} = 300 \text{ V}$				mJ
$R_{th(j-c)D}$	per diode			0,72	K/W
<b>Freewheeling Diode</b>					
$V_F = V_{EC}$	$I_{Fnom} = 100 \text{ A}; V_{GE} = 0 \text{ V}$				
	$T_j = 25 \text{ }^\circ\text{C}_{chiplev.}$		1,55	1,9	V
	$T_j = 125 \text{ }^\circ\text{C}_{chiplev.}$		1,55		V
$V_{F0}$	$T_j = 125 \text{ }^\circ\text{C}$			0,9	V
$r_F$	$T_j = 125 \text{ }^\circ\text{C}$		8	10	V
$I_{RRM}$	$I_F = 100 \text{ A}$		44		A
$Q_{rr}$	$di/dt = 0 \text{ A}/\mu\text{s}$		6		$\mu\text{C}$
$E_{rr}$	$V_{GE} = -15 \text{ V}; V_{CC} = 300 \text{ V}$				mJ
$R_{th(j-c)FD}$	per diode			0,6	K/W
<b>Module</b>					
$L_{CE}$				30	nH
$R_{CC+EE}$	res., terminal-chip	$T_{case} = 25 \text{ }^\circ\text{C}$	0,75		m $\Omega$
		$T_{case} = 125 \text{ }^\circ\text{C}$	1		m $\Omega$
$R_{th(c-s)}$	per module			0,05	K/W
$M_s$	to heat sink M6		3	5	Nm
$M_t$	to terminals M5		2,5	5	Nm
w				160	g

This is an electrostatic discharge sensitive device (ESDS), international standard IEC 60747-1, Chapter IX.

\* The specifications of our components may not be considered as an assurance of component characteristics. Components have to be tested for the respective application. Adjustments may be necessary. The use of SEMIKRON products in life support appliances and systems is subject to prior specification and written approval by SEMIKRON. We therefore strongly recommend prior consultation of our personal.

## SKM 75GB063D



**SEMITRANS® 2**

### Superfast NPT-IGBT Modules

**SKM 75GB063D**

**SKM 75GAR063D**

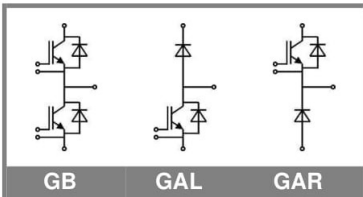
**SKM 75GAL063D**

#### Features

- N channel, homogeneous Si-structure (NPT-Non punch-through IGBT)
- Low tail current with low temperature dependence
- High short circuit capability, self limiting if term. G is clamped to E
- Pos. temp.-coeff. of  $V_{CEsat}$
- Very low  $C_{ies}$ ,  $C_{oes}$ ,  $C_{res}$
- Latch-up free
- Fast & soft inverse CAL diodes
- Isolated copper baseplate using DBC Direct Copper Bonding Technology without hard mould
- Large clearance (10 mm) and creepage distances (20 mm)

#### Typical Applications\*

- Switching (not for linear use)
- Switched mode power supplies
- UPS
- Three phase inverters for servo / AC motor speed control
- Pulse frequencies also > 10kHz



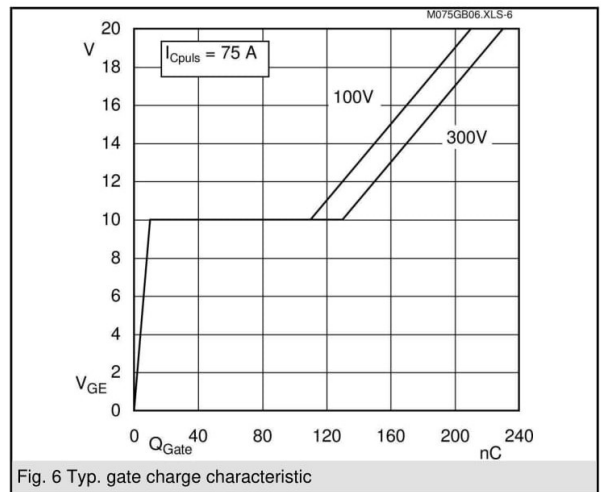
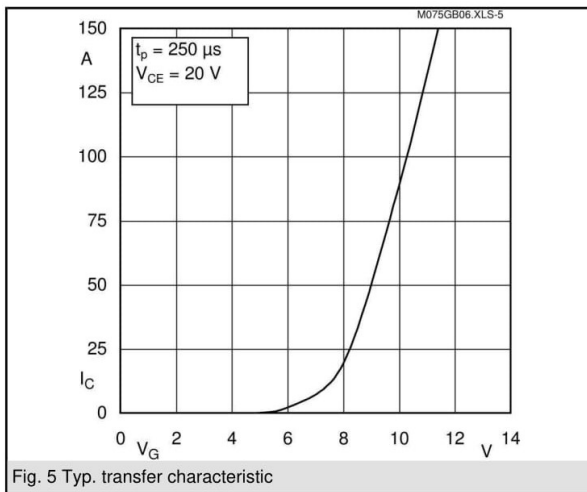
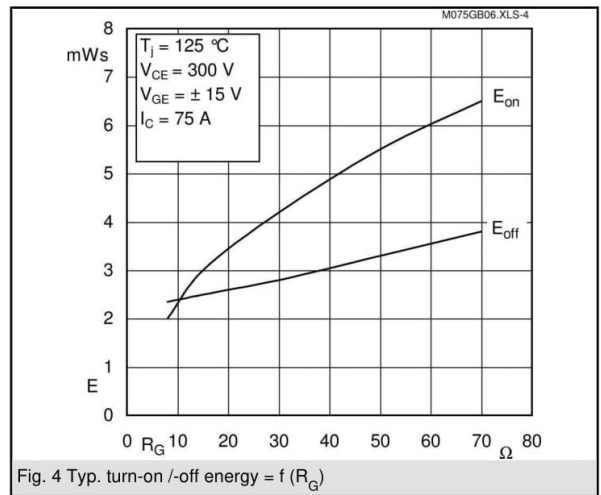
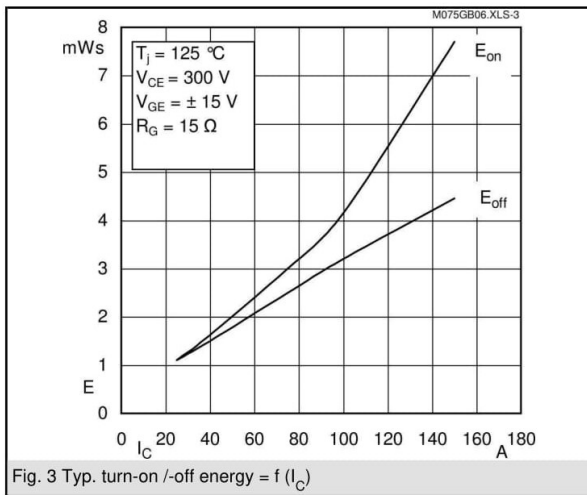
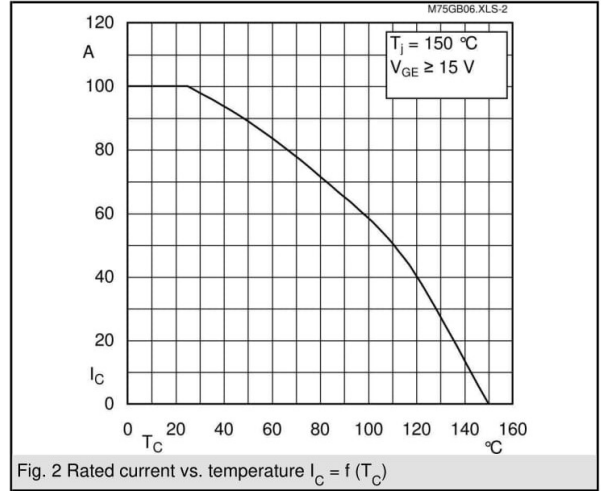
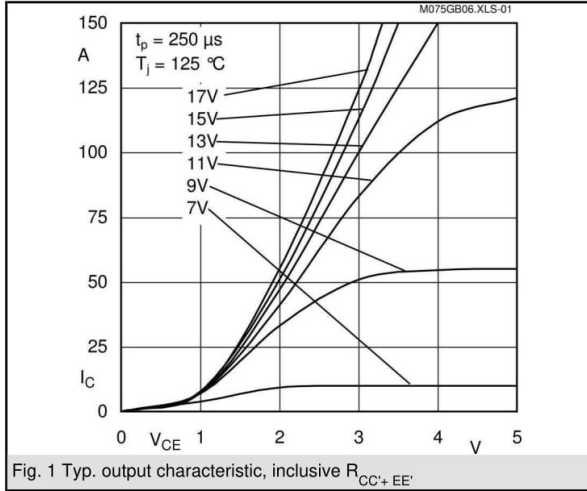
GB

GAL

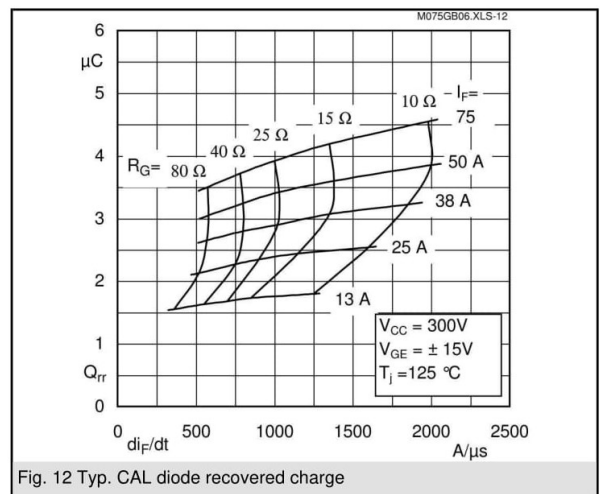
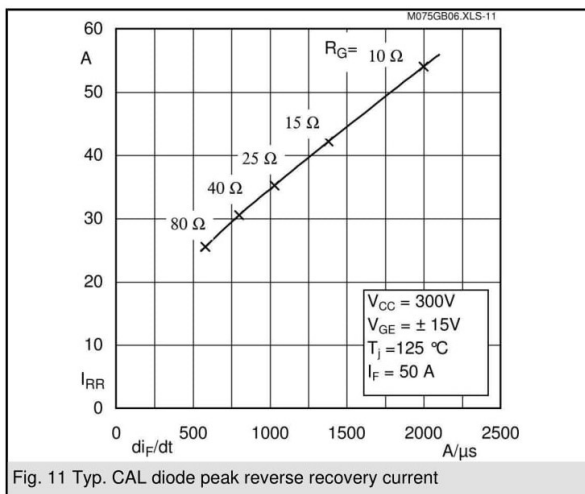
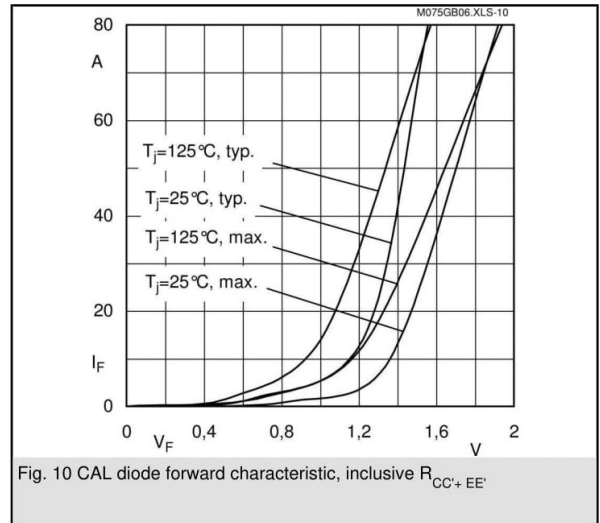
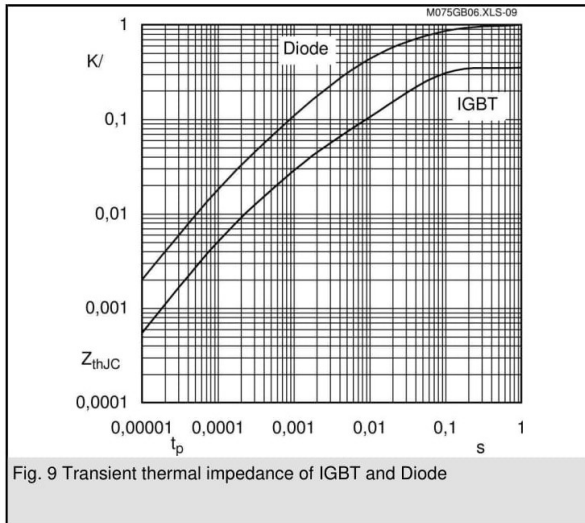
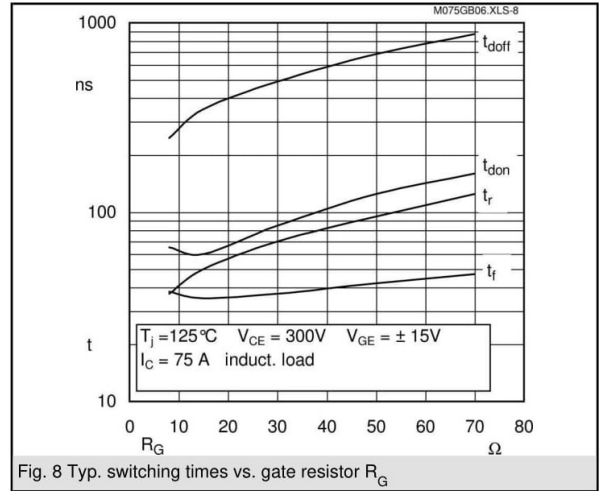
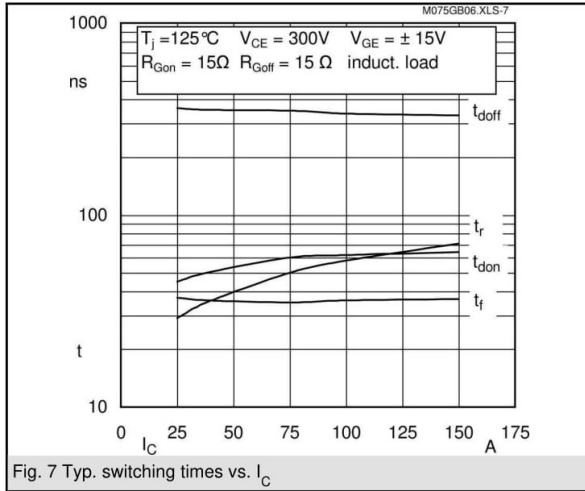
GAR

$Z_{th}$			
Symbol	Conditions	Values	Units
$Z_{th(j-c)}$			
$R_{\theta}$	$i = 1$	250	mk/W
$R_{\theta}$	$i = 2$	70	mk/W
$R_{\theta}$	$i = 3$	25	mk/W
$R_{\theta}$	$i = 4$	5	mk/W
$\tau_{\theta i}$	$i = 1$	0,0874	s
$\tau_{\theta i}$	$i = 2$	0,0078	s
$\tau_{\theta i}$	$i = 3$	0,0017	s
$\tau_{\theta i}$	$i = 4$	0,0001	s
$Z_{th(j-c)D}$			
$R_{\theta}$	$i = 1$	550	mk/W
$R_{\theta}$	$i = 2$	340	mk/W
$R_{\theta}$	$i = 3$	92	mk/W
$R_{\theta}$	$i = 4$	18	mk/W
$\tau_{\theta i}$	$i = 1$	0,0761	s
$\tau_{\theta i}$	$i = 2$	0,0045	s
$\tau_{\theta i}$	$i = 3$	0,011	s
$\tau_{\theta i}$	$i = 4$	0,0002	s

# SKM 75GB063D



# SKM 75GB063D

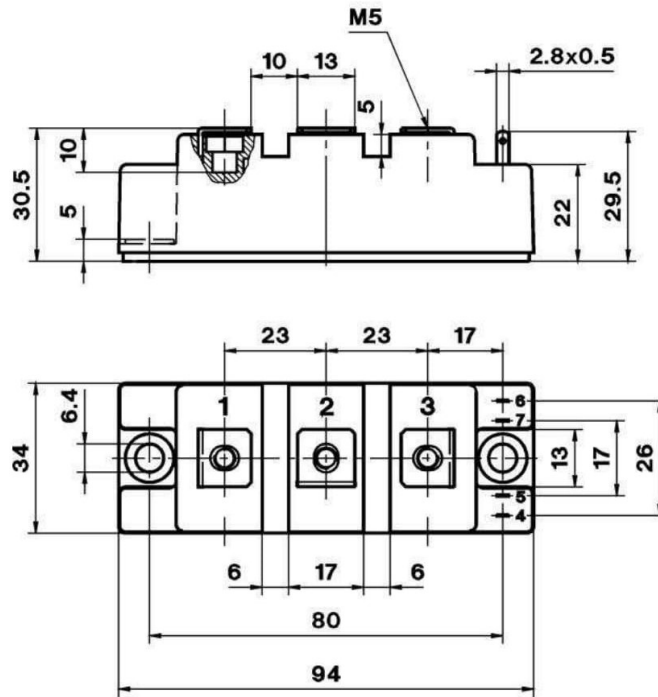


# SKM 75GB063D

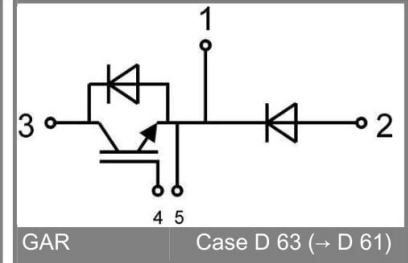
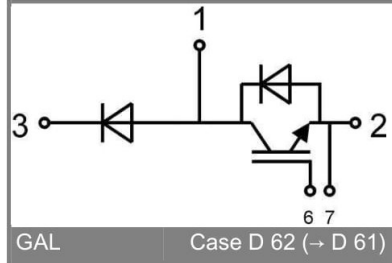
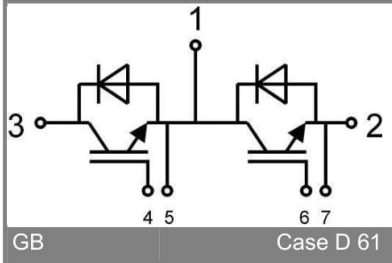
UL recognized

CASED61

File no. E 63 532



Case D 61



## ANEXO B – DATASHEET MÓDULO SKM145GB066D

## SKM 145GB066D



SEMITRANS® 2

## Trench IGBT Modules

SKM 145GB066D

## Features

- Trench = Trenchgate technology
- $V_{CE(sat)}$  with positive temperature coefficient
- High short circuit capability, self limiting to  $6 \times I_C$

## Typical Applications\*

- AC inverter Drives
- UPS
- Electronic welders

## Remarks

- Case temperature limited to  $T_C = 125^\circ\text{C}$  max, recomb.  $T_{op} = -40 \dots +150^\circ\text{C}$ , product rel. results valid for  $T_j \leq 150^\circ\text{C}$
- SC data:  $t_p \leq 6 \text{ s}$ ;  $V_{GE} \leq 15\text{V}$ ;  $T_j = 150^\circ\text{C}$ ;  $V_{CC} \leq 360\text{V}$ , use of soft  $R_G$  necessary!
- Take care of over-voltage caused by stray induct.



GB

Absolute Maximum Ratings		$T_{case} = 25^\circ\text{C}$ , unless otherwise specified		
Symbol	Conditions	Values		Units
<b>IGBT</b>				
$V_{CES}$	$T_j = 25^\circ\text{C}$	600		V
$I_C$	$T_j = 175^\circ\text{C}$	$T_c = 25^\circ\text{C}$	195	A
		$T_c = 80^\circ\text{C}$	150	A
$I_{CRM}$	$I_{CRM} = 2 \times I_{Cnom}$	300		A
$V_{GES}$		$\pm 20$		V
$t_{psc}$	$V_{CC} = 360 \text{ V}$ ; $V_{GE} \leq 15 \text{ V}$ ; $T_j = 150^\circ\text{C}$ $V_{CES} < 600 \text{ V}$	6		s
<b>Inverse Diode</b>				
$I_F$	$T_j = 175^\circ\text{C}$	$T_c = 25^\circ\text{C}$	150	A
		$T_c = 80^\circ\text{C}$	100	A
$I_{FRM}$	$I_{FRM} = 2 \times I_{Fnom}$	300		A
$I_{FSM}$	$t_p = 10 \text{ ms}$ ; sin.	$T_j = 175^\circ\text{C}$	880	A
<b>Module</b>				
$I_{t(RMS)}$		200		A
$T_{vj}$		- 40 ... + 175		$^\circ\text{C}$
$T_{stg}$		- 40 ... + 125		$^\circ\text{C}$
$V_{isol}$	AC, 1 min.	4000		V

Characteristics		$T_{case} = 25^\circ\text{C}$ , unless otherwise specified			
Symbol	Conditions	min.	typ.	max.	Units
<b>IGBT</b>					
$V_{GE(th)}$	$V_{GE} = V_{CE}$ ; $I_C = 2,4 \text{ mA}$	5	5,8	6,5	V
$I_{CES}$	$V_{GE} = 0 \text{ V}$ ; $V_{CE} = V_{CES}$ $T_j = 25^\circ\text{C}$		0,08	0,25	mA
$V_{CE0}$		$T_j = 25^\circ\text{C}$	0,9	1	V
		$T_j = 150^\circ\text{C}$	0,85	0,9	V
$r_{CE}$	$V_{GE} = 15 \text{ V}$	$T_j = 25^\circ\text{C}$	3,7	6	$\text{m}\Omega$
		$T_j = 150^\circ\text{C}$	5,7	8	$\text{m}\Omega$
$V_{CE(sat)}$	$I_{Cnom} = 150 \text{ A}$ ; $V_{GE} = 15 \text{ V}$	$T_j = 25^\circ\text{C}_{chiplev.}$	1,45	1,9	V
		$T_j = 150^\circ\text{C}_{chiplev.}$	1,7	2,1	V
$C_{ies}$	$V_{CE} = 25$ ; $V_{GE} = 0 \text{ V}$ $f = 1 \text{ MHz}$		9,25		nF
$C_{oes}$		0,6		nF	
$C_{res}$		0,28		nF	
$Q_G$	$V_{GE} = -8\text{V} \dots +15\text{V}$		1100		nC
$R_{Gint}$	$T_j = ^\circ\text{C}$		2		$\Omega$
$t_{d(on)}$	$R_{Gon} = 4,3 \Omega$	$V_{CC} = 300\text{V}$ $I_C = 150\text{A}$	150		ns
			52		ns
$E_{on}$			8,5		mJ
$t_{d(off)}$	$R_{Goff} = 4,3 \Omega$	$T_j = 150^\circ\text{C}$ $V_{GE} = -8/+15\text{V}$	490		ns
			46		ns
$E_{off}$			5,5		mJ
$R_{th(j-c)}$	per IGBT			0,3	K/W

# SKM 145GB066D



**SEMITRANS® 2**

## Trench IGBT Modules

**SKM 145GB066D**

### Features

- Trench = Trenchgate technology
- $V_{CE(sat)}$  with positive temperature coefficient
- High short circuit capability, self limiting to  $6 \times I_C$

### Typical Applications\*

- AC inverter Drives
- UPS
- Electronic welders

### Remarks

- Case temperature limited to  $T_C = 125^\circ\text{C}$  max, recomm.  $T_{op} = -40 \dots +150^\circ\text{C}$ , product rel. results valid for  $T_J \leq 150^\circ\text{C}$
- SC data:  $t_p \leq 6$  s;  $V_{GE} \leq 15\text{V}$ ;  $T_J = 150^\circ\text{C}$ ;  $V_{CC} \leq 360\text{V}$ , use of soft  $R_G$  necessary!
- Take care of over-voltage caused by stray induct.



**GB**

### Characteristics

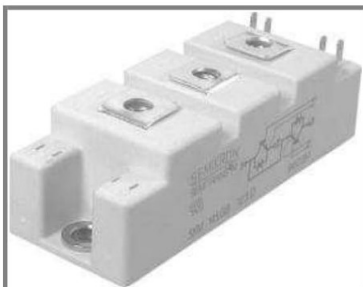
Symbol	Conditions	min.	typ.	max.	Units
<b>Inverse Diode</b>					
$V_F = V_{EC}$	$I_{Fnom} = 150$ A; $V_{GE} = 0$ V		1,4	1,6	V
					$T_J = 25^\circ\text{C}_{chiplev.}$ $T_J = 150^\circ\text{C}_{chiplev.}$
$V_{F0}$			0,95	1	V
$r_F$			3	4	mΩ
$I_{RRM}$	$I_F = 150$ A		90		A
$Q_{rr}$	$di/dt = 2100$ A/ s		20		C
$E_{rr}$	$V_{GE} = -8$ V; $V_{CC} = 300$ V		3,5		mJ
$R_{th(j-c)D}$	per diode			0,5	K/W
<b>Module</b>					
$L_{CE}$				30	nH
$R_{CC'+EE'}$	res., terminal-chip	$T_{case} = 25^\circ\text{C}$	0,75		mΩ
		$T_{case} = 125^\circ\text{C}$	1		mΩ
$R_{th(c-s)}$	per module			0,05	K/W
$M_s$	to heat sink M6		3	5	Nm
$M_t$	to terminals M5		2,5	5	Nm
w				150	g

This is an electrostatic discharge sensitive device (ESDS), international standard IEC 60747-1, Chapter IX.

\* The specifications of our components may not be considered as an assurance of component characteristics. Components have to be tested for the respective application. Adjustments may be necessary. The use of SEMIKRON products in life support appliances and systems is subject to prior specification and written approval by SEMIKRON. We therefore strongly recommend prior consultation of our personal.



# SKM 145GB066D



**SEMITRANS® 2**

## Trench IGBT Modules

**SKM 145GB066D**

### Features

- Trench = Trenchgate technology
- $V_{CE(sat)}$  with positive temperature coefficient
- High short circuit capability, self limiting to  $6 \times I_C$

### Typical Applications\*

- AC inverter Drives
- UPS
- Electronic welders

### Remarks

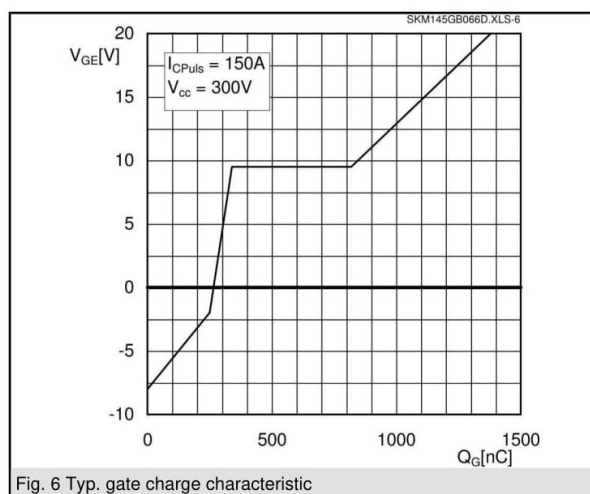
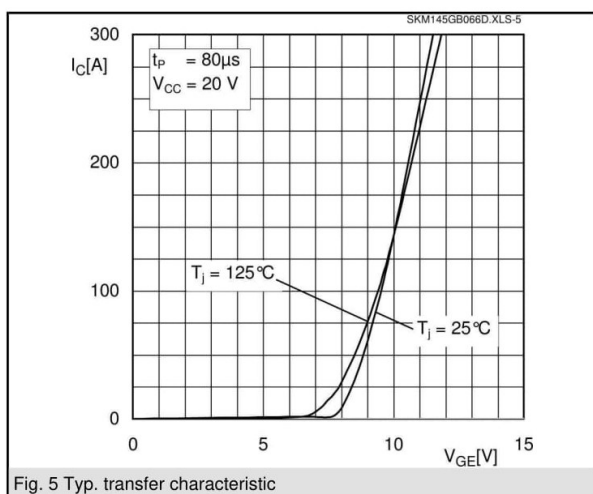
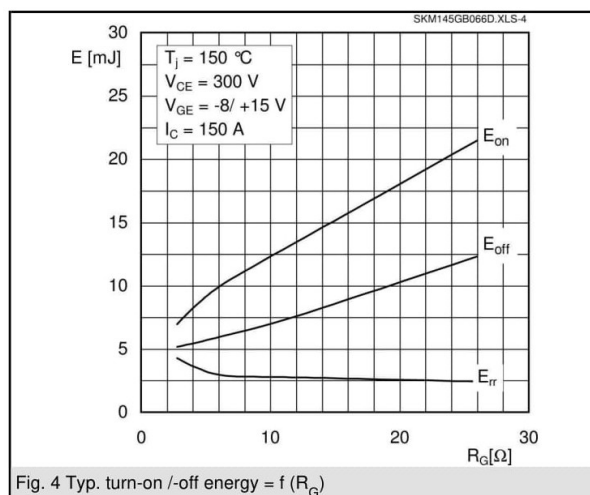
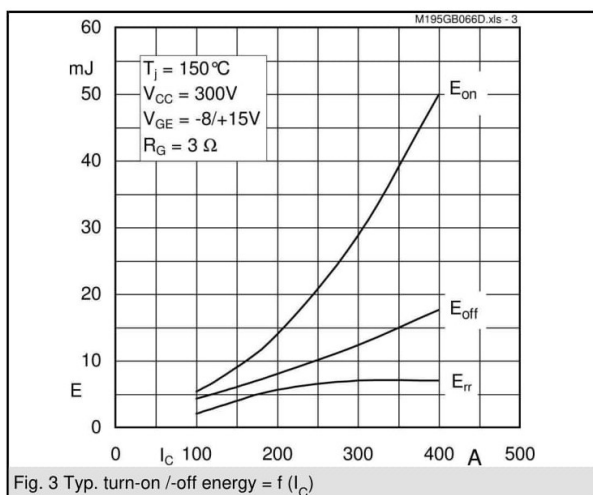
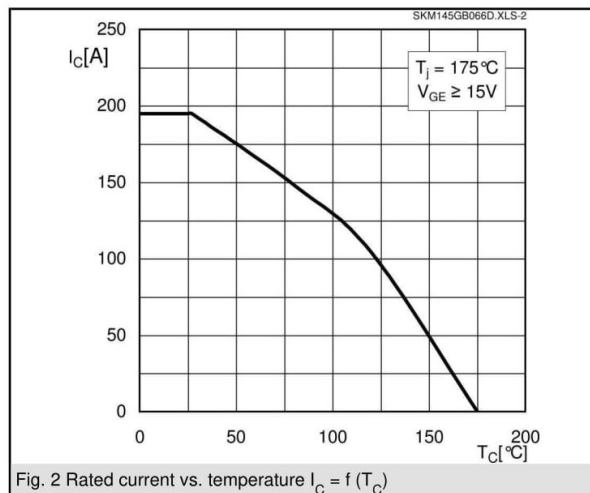
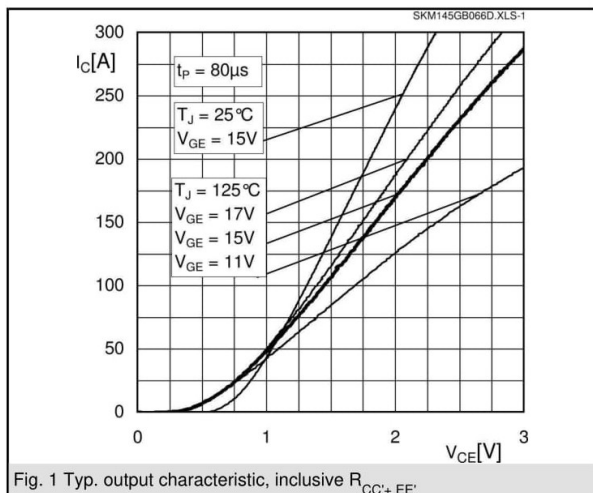
- Case temperature limited to  $T_C = 125^\circ\text{C}$  max, recomb.  $T_{op} = -40 \dots +150^\circ\text{C}$ , product rel. results valid for  $T_j \leq 150^\circ\text{C}$
- SC data:  $t_p \leq 6$  s;  $V_{GE} \leq 15\text{V}$ ;  $T_j = 150^\circ\text{C}$ ;  $V_{CC} \leq 360\text{V}$ , use of soft  $R_G$  necessary!
- Take care of over-voltage caused by stray induct.



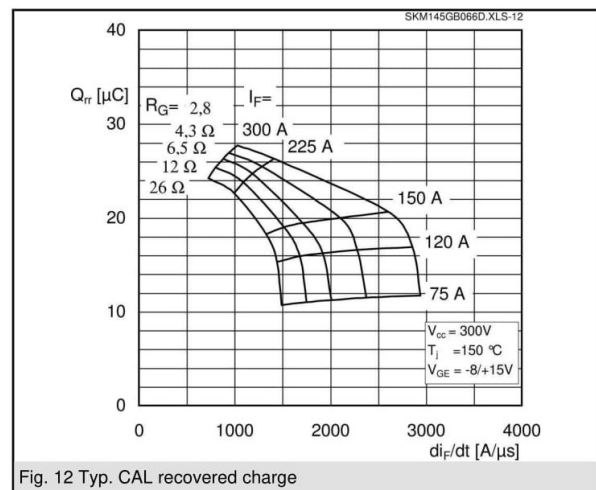
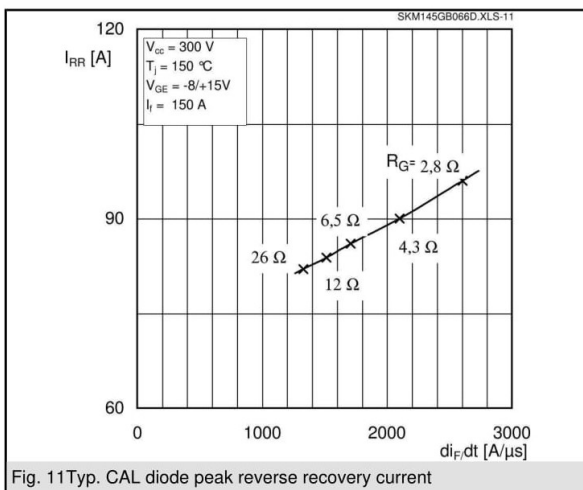
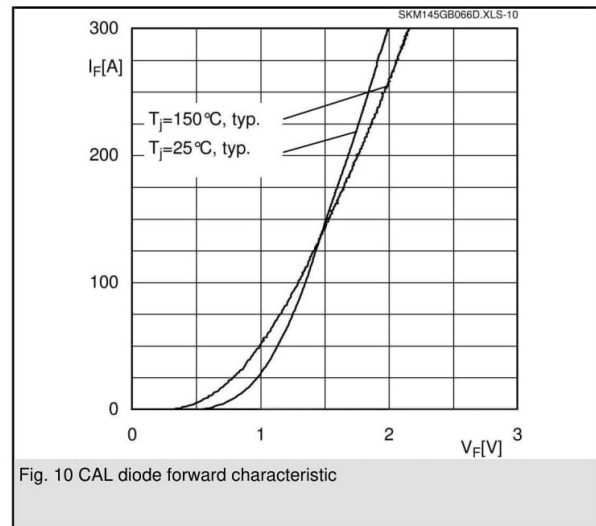
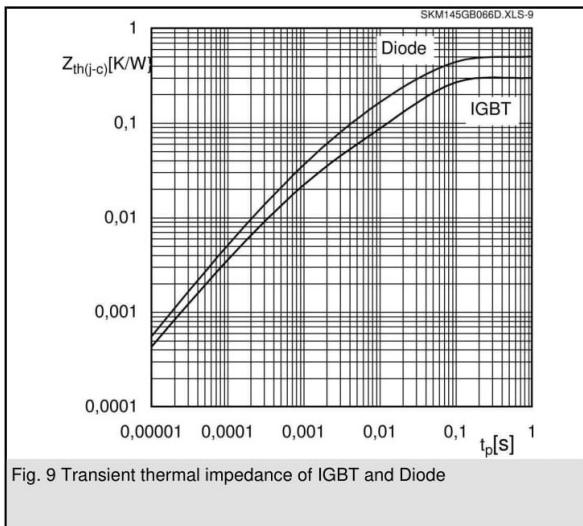
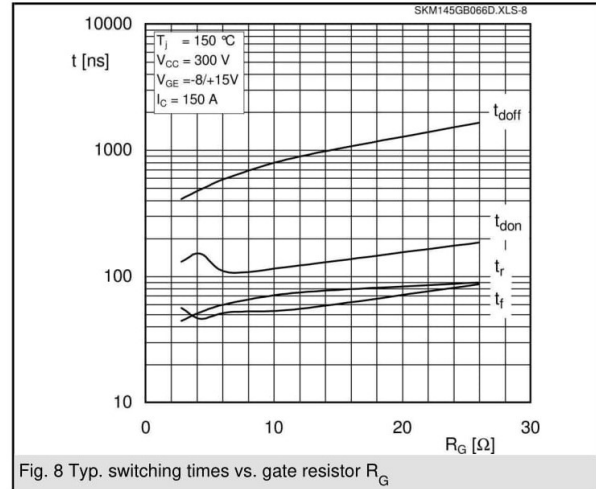
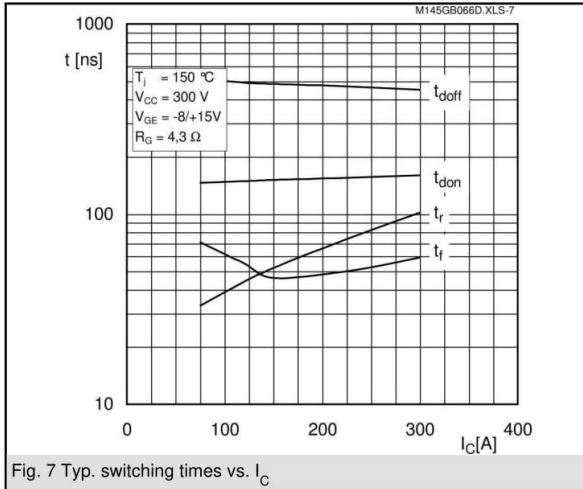
**GB**

$Z_{th}$			
Symbol	Conditions	Values	Units
$Z_{th(j-c)}$			
$R_{\theta j-c1}$	$i = 1$	220	mk/W
$R_{\theta j-c2}$	$i = 2$	60	mk/W
$R_{\theta j-c3}$	$i = 3$	16,5	mk/W
$R_{\theta j-c4}$	$i = 4$	3,5	mk/W
$\tau_{\theta j-c1}$	$i = 1$	0,0447	s
$\tau_{\theta j-c2}$	$i = 2$	0,0223	s
$\tau_{\theta j-c3}$	$i = 3$	0,0015	s
$\tau_{\theta j-c4}$	$i = 4$	0,0002	s
$Z_{th(j-c)D}$			
$R_{\theta j-cD1}$	$i = 1$	330	mk/W
$R_{\theta j-cD2}$	$i = 2$	137	mk/W
$R_{\theta j-cD3}$	$i = 3$	28	mk/W
$R_{\theta j-cD4}$	$i = 4$	5	mk/W
$\tau_{\theta j-cD1}$	$i = 1$	0,05	s
$\tau_{\theta j-cD2}$	$i = 2$	0,0129	s
$\tau_{\theta j-cD3}$	$i = 3$	0,002	s
$\tau_{\theta j-cD4}$	$i = 4$	0,0002	s

# SKM 145GB066D



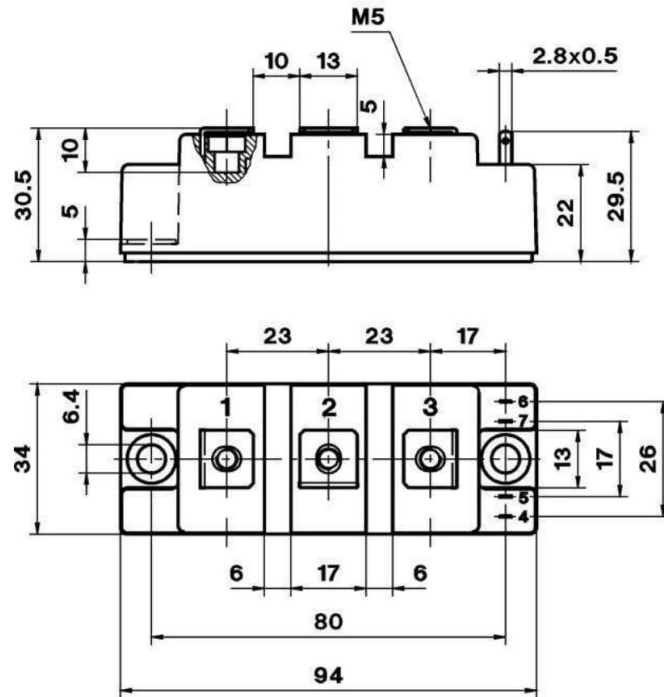
# SKM 145GB066D



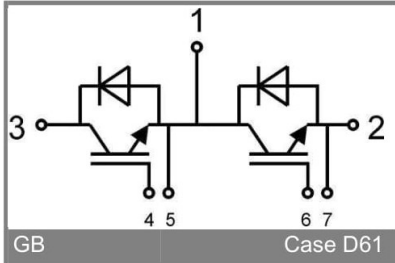
# SKM 145GB066D

UL recognized, file no. E 63 532

CASED61



Case D 61



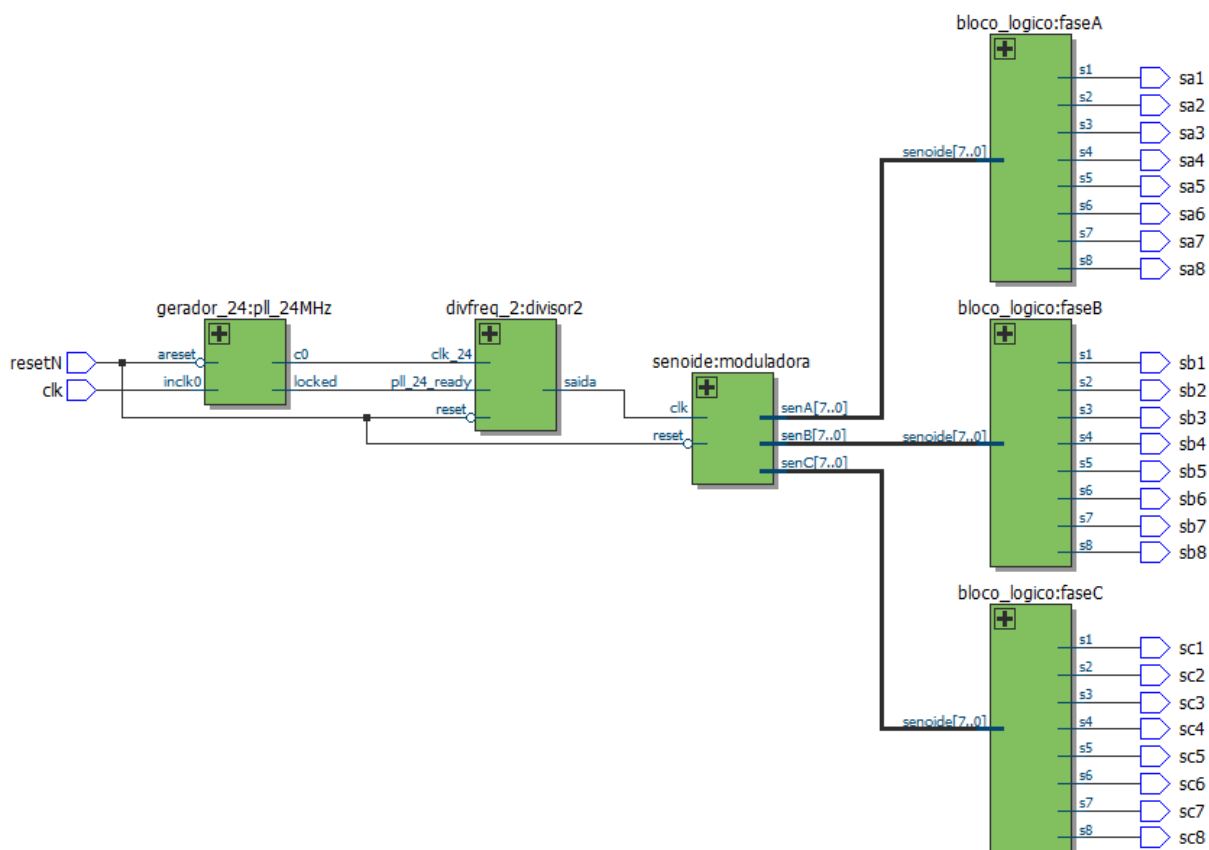
GB

Case D61

## APÊNDICE A – PROGRAMA PARA IMPLEMENTAR A SHE-PWM EM VHDL

Implementação Digital da Modulação SHE-PWM para o inversor trifásico Half-Bridge/ANPC de cinco níveis.

Figura B.1. Diagrama de blocos da implementação digital da modulação SHE-PWM para o inversor trifásico Half-Bridge/ANPC de cinco níveis.



### Bloco *she\_pwm.vhd*

--

--  
 -- Universidade Federal do Piauí  
 --

--  
 -- Inversor Multinível Híbrido Simétrico Trifásico de Cinco Níveis Baseado Nas  
 -- Topologias Half-Bridge e ANPC  
 -- Universidade Federal do Piauí  
 -- Centro de Tecnologia  
 -- Programa de Pós-Graduação em Engenharia Elétrica  
 --

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;

entity she_pwm is
port (clk, resetN : in std_logic;
sa1, sa2, sa3, sa4, sa5, sa6, sa7, sa8 : out std_logic;
sb1, sb2, sb3, sb4, sb5, sb6, sb7, sb8 : out std_logic;
sc1, sc2, sc3, sc4, sc5, sc6, sc7, sc8 : out std_logic);
end she_pwm;

architecture codigo of she_pwm is
constant limite : integer := 1000;
signal clock_moduladora : std_logic;

signal clock_24 : std_logic; -- clock de 24 MHz gerado pelo PLL
signal pll_24_ready : std_logic; -- para saber se a multiplicacao foi finalizada

signal senA, senB, senC : unsigned (7 downto 0);

signal reset : std_logic;
begin

reset <= not resetN;

pll_24MHz : entity work.gerador_24(SYN)
port map (areset => reset,
inclk0 => clk,
c0 => clock_24,
locked => pll_24_ready);

divisor2 : entity work.divfreq_2(codigo)
generic map (limite => limite) -- recebe o valor declarado pela constante "limite" = 10000
para gerar a temporizacao necessario
port map (clk_24 => clock_24,
reset => reset,
pll_24_ready => pll_24_ready,
saida => clock_moduladora);

moduladora : entity work.senoide(codigo)
port map (clk => clock_moduladora,
reset => reset,

senA => senA, senB => senB, senC => senC);

faseA : entity work.bloco_logico(codigo)
port map (
senoide => senA, -- entrada da moduladora
s1 => sa1, s2 => sa2, s3 => sa3, -- saida dos pulsos
s4 => sa4, s5 => sa5, s6 => sa6,

```

```
s7 => sa7, s8 => sa8);
```

```
faseB : entity work.bloco_logico(codigo)
port map (
senoide => senB,
s1 => sb1,
s2 => sb2, s3 => sb3,
s4 => sb4, s5 => sb5, s6 => sb6,
s7 => sb7, s8 => sb8);
```

```
faseC : entity work.bloco_logico(codigo)
port map (
senoide => senC,
s1 => sc1, s2 => sc2, s3 => sc3,
s4 => sc4, s5 => sc5, s6 => sc6,
s7 => sc7, s8 => sc8);
end codigo;
```

#### Bloco *divfreq\_2.vhd*

```
library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;
entity divfreq_2 is
generic (limite : integer := 1000);
port (clk_24, reset : in std_logic;
pll_24_ready : in std_logic;
saida : out std_logic);
end divfreq_2;
architecture codigo of divfreq_2 is
signal c_reg, c_next : unsigned (9 downto 0);
signal clock_pll : std_logic;
signal pll_ready : std_logic;
begin
instancia_pll : entity work.facilitador_moduladora(SYN)
port map (areset => reset,
inclk0 => clk_24,
c0 => clock_pll,
locked => pll_ready);
process (clock_pll, reset, pll_ready, pll_24_ready)
begin
if (pll_24_ready = '1') then
if (reset = '1') then
c_reg <= (others => '0');
elsif (pll_ready = '1') then -- teste se a multiplicacao do pll ja foi concluida
if (clock_pll'event and clock_pll = '1') then
c_reg <= c_next;
end if;
end if;
end if;
```

```

end process;
-- logica proximo estado
c_next <= (others => '0') when c_reg >= limite-1 else
c_reg + 1;
saida <= '1' when c_reg = limite-1 else
'0';
end codigo;

```

### Bloco *senoide.vhd*

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;
entity senoide is
port (clk, reset : in std_logic; -- clock dividido vindo dos divisores de frequencia
senA, senB, senC : out unsigned (7 downto 0)); -- saidas das senoides digitais
end senoide;
architecture codigo of senoide is
type tabela is array (0 to 959) of natural range 0 to 255;
constant dados1_8 : tabela := (
121, 122, 122, 123, 124, 125, 125, 126, 127, 128, 129, 129, 130, 131, 132, 133,
133, 134, 135, 136, 136, 137, 138, 139, 140, 140, 141, 142, 143, 143, 144, 145,
146, 146, 147, 148, 149, 150, 150, 151, 152, 153, 153, 154, 155, 156, 156, 157,
158, 159, 159, 160, 161, 162, 162, 163, 164, 164, 165, 166, 167, 167, 168, 169,
170, 170, 171, 172, 172, 173, 174, 174, 175, 176, 177, 177, 178, 179, 179, 180,
181, 181, 182, 183, 183, 184, 185, 185, 186, 187, 187, 188, 189, 189, 190, 191,
191, 192, 192, 193, 194, 194, 195, 196, 196, 197, 197, 198, 199, 199, 200, 200,
201, 201, 202, 203, 203, 204, 204, 205, 205, 206, 207, 207, 208, 208, 209, 209,
210, 210, 211, 211, 212, 212, 213, 213, 214, 214, 215, 215, 216, 216, 217, 217,
218, 218, 218, 219, 219, 220, 220, 221, 221, 221, 222, 222, 223, 223, 224, 224,
224, 225, 225, 225, 226, 226, 227, 227, 227, 228, 228, 228, 229, 229, 229, 230,
230, 230, 231, 231, 231, 231, 232, 232, 232, 233, 233, 233, 233, 234, 234, 234,
234, 235, 235, 235, 235, 235, 236, 236, 236, 236, 236, 237, 237, 237, 237, 237,
238, 238, 238, 238, 238, 238, 238, 239, 239, 239, 239, 239, 239, 239, 239, 239,
239, 239, 240, 240, 240, 240, 240, 240, 240, 240, 240, 240, 240, 240, 240, 240,
240, 240, 240, 240, 240, 240, 240, 240, 240, 240, 240, 240, 240, 240, 239, 239, 239,
239, 239, 239, 239, 239, 239, 239, 239, 238, 238, 238, 238, 238, 238, 238, 237,
237, 237, 237, 237, 236, 236, 236, 236, 236, 235, 235, 235, 235, 235, 234, 234,
234, 234, 233, 233, 233, 233, 232, 232, 232, 231, 231, 231, 231, 230, 230, 230,
229, 229, 229, 228, 228, 228, 227, 227, 227, 226, 226, 225, 225, 225, 224, 224,
224, 223, 223, 222, 222, 221, 221, 221, 220, 220, 219, 219, 218, 218, 218, 217,
217, 216, 216, 215, 215, 214, 214, 213, 213, 212, 212, 211, 211, 210, 210, 209,
209, 208, 208, 207, 207, 206, 205, 205, 204, 204, 203, 203, 202, 201, 201, 200,
200, 199, 199, 198, 197, 197, 196, 196, 195, 194, 194, 193, 192, 192, 191, 191,
190, 189, 189, 188, 187, 187, 186, 185, 185, 184, 183, 183, 182, 181, 181, 180,
179, 179, 178, 177, 177, 176, 175, 174, 174, 173, 172, 172, 171, 170, 170, 169,
168, 167, 167, 166, 165, 164, 164, 163, 162, 162, 161, 160, 159, 159, 158, 157,
156, 156, 155, 154, 153, 153, 152, 151, 150, 150, 149, 148, 147, 146, 146, 145,
144, 143, 143, 142, 141, 140, 140, 139, 138, 137, 136, 136, 135, 134, 133, 133,
132, 131, 130, 129, 129, 128, 127, 126, 125, 125, 124, 123, 122, 122, 121, 120,

```



```

119, 118, 118, 117, 116, 115, 115, 114, 113, 112, 111, 111, 110, 109, 108, 107,
107, 106, 105, 104, 104, 103, 102, 101, 100, 100, 99, 98, 97, 97, 96, 95,
94, 94, 93, 92, 91, 90, 90, 89, 88, 87, 87, 86, 85, 84, 84, 83,
82, 81, 81, 80, 79, 78, 78, 77, 76, 76, 75, 74, 73, 73, 72, 71,
70, 70, 69, 68, 68, 67, 66, 66, 65, 64, 63, 63, 62, 61, 61, 60,
59, 59, 58, 57, 57, 56, 55, 55, 54, 53, 53, 52, 51, 51, 50, 49,
49, 48, 48, 47, 46, 46, 45, 44, 44, 43, 43, 42, 41, 41, 40, 40,
39, 39, 38, 37, 37, 36, 36, 35, 35, 34, 33, 33, 32, 32, 31, 31,
30, 30, 29, 29, 28, 28, 27, 27, 26, 26, 25, 25, 24, 24, 23, 23,
22, 22, 22, 21, 21, 20, 20, 19, 19, 19, 18, 18, 17, 17, 16, 16,
16, 15, 15, 15, 14, 14, 13, 13, 13, 12, 12, 12, 11, 11, 11, 10,
10, 10, 9, 9, 9, 9, 8, 8, 8, 7, 7, 7, 7, 6, 6, 6,
6, 5, 5, 5, 5, 5, 4, 4, 4, 4, 4, 3, 3, 3, 3, 3,
2, 2, 2, 2, 2, 2, 2, 1, 1, 1, 1, 1, 1, 1, 1, 1,
1, 1, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0,
0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 1, 1, 1,
1, 1, 1, 1, 1, 1, 1, 1, 2, 2, 2, 2, 2, 2, 2, 3,
3, 3, 3, 3, 4, 4, 4, 4, 4, 5, 5, 5, 5, 5, 6, 6,
6, 6, 7, 7, 7, 7, 8, 8, 8, 9, 9, 9, 9, 10, 10, 10,
11, 11, 11, 12, 12, 12, 13, 13, 13, 14, 14, 15, 15, 15, 16, 16,
16, 17, 17, 18, 18, 19, 19, 19, 20, 20, 21, 21, 22, 22, 22, 23,
23, 24, 24, 25, 25, 26, 26, 27, 27, 28, 28, 29, 29, 30, 30, 31,
31, 32, 32, 33, 33, 34, 35, 35, 36, 36, 37, 37, 38, 39, 39, 40,
40, 41, 41, 42, 43, 43, 44, 44, 45, 46, 46, 47, 48, 48, 49, 49,
50, 51, 51, 52, 53, 53, 54, 55, 55, 56, 57, 57, 58, 59, 59, 60,
61, 61, 62, 63, 63, 64, 65, 66, 66, 67, 68, 68, 69, 70, 70, 71,
72, 73, 73, 74, 75, 76, 76, 77, 78, 78, 79, 80, 81, 81, 82, 83,
84, 84, 85, 86, 87, 87, 88, 89, 90, 90, 91, 92, 93, 94, 94, 95,
96, 97, 97, 98, 99, 100, 100, 101, 102, 103, 104, 104, 105, 106, 107, 107,
108, 109, 110, 111, 111, 112, 113, 114, 115, 115, 116, 117, 118, 119, 120
);
signal A_reg, A_next, B_reg, B_next, C_reg, C_next : unsigned (9 downto 0);
type state is (preparar, vai); -- prepara os sinais para iniciarem a contagem apenas quando o
sinal "start" de sincronia permite
signal s_reg, s_next : state;
signal contagem_habilitada : std_logic;
-----
begin-- logica estado atual
process (reset, clk)
begin
if (reset = '1') then
s_reg <= preparar;
a_reg <= (others => '0'); -- inicia em 0 (defasagem de 0 grau)
b_reg <= "1010000000"; -- inicia em 640 (defasagem 240 graus)
c_reg <= "0101000000"; -- inicia em 320 (defasagem 120 graus)
elsif (clk'event and clk = '1') then
s_reg <= s_next;
a_reg <= a_next;
b_reg <= b_next;
c_reg <= c_next;

```

```

end if;
end process;
-- logica proximo estado
process (s_reg)
begin
s_next <= s_reg;
contagem_habilitada <= '0';
case s_reg is
when preparar =>
s_next <= vai;
when vai =>
contagem_habilitada <= '1';
end case;
end process;
a_next <= (others => '0') when a_reg >= 959 else
a_reg + 1 when contagem_habilitada = '1' else
a_reg;
b_next <= (others => '0') when b_reg >= 959 else
b_reg + 1 when contagem_habilitada = '1' else
b_reg;
c_next <= (others => '0') when c_reg >= 959 else
c_reg + 1 when contagem_habilitada = '1' else
c_reg;
-- Logica de saida
senA <= to_unsigned(dados1_8(to_integer(a_reg)),8); -- carrega na saida o
valorcorrespondente da tabela da posicao igual a "a_reg"
senB <= to_unsigned(dados1_8(to_integer(b_reg)),8); -- "to_unsigned" e "to_integer"sao
diretivas de conversao de dados
senC <= to_unsigned(dados1_8(to_integer(c_reg)),8); -- ambos dentro do pacote debiblioteca
"numeric_std"
end codigo;

```

### Bloco *bloco\_logico.vhd*

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.numeric_std.all;
entity bloco_logico is
port (
senoide : in unsigned (7 downto 0); -- entrada da moduladora
s1, s2, s3, s4, s5, s6, s7, s8 : out std_logic); -- saida dos pulsos
end bloco_logico;
architecture codigo of bloco_logico is
signal xpos, xs1, xs2, xs4, x1 ,x2, x3, x4, x5, x6, x7, x8, x9, x10, x11, x12, x13, x14:
std_logic;
begin
----- geracao dos sinais das comparacoes -----
x1 <= '1' when senoide >= 120 and senoide <= 161 else '0';
x2 <= '1' when senoide > 161 and senoide <= 174 else '0';
x3 <= '1' when senoide > 174 and senoide <= 183 else '0';

```

```

x4 <= '1' when senoide > 183 and senoide <= 221 else '0';
x5 <= '1' when senoide > 221 and senoide <= 225 else '0';
x6 <= '1' when senoide > 225 and senoide <= 227 else '0';
x7 <= '1' when senoide > 227 else '0';
x8 <= '1' when senoide > 79 and senoide < 120 else '0';
x9 <= '1' when senoide > 66 and senoide <= 79 else '0';
x10 <= '1' when senoide > 57 and senoide <= 66 else '0';
x11 <= '1' when senoide > 19 and senoide <= 57 else '0';
x12 <= '1' when senoide > 15 and senoide <= 19 else '0';
x13 <= '1' when senoide > 13 and senoide <= 15 else '0';
x14 <= '1' when senoide <= 13 else '0';
xpos <= '1' when senoide >= 120 else '0';
xs1 <= x5 or x7 or x8 or x9 or x10 or x11 or x12 or x13 or x14;
s1 <= xs1;
xs2 <= x2 or x4 or x5 or x6 or x7 or x8 or x10;
s2 <= xs2;
s3 <= not xs2;
xs4 <= x1 or x2 or x3 or x4 or x5 or x6 or x7 or x12 or x14;
s4 <= xs4;
s5 <= xpos;
s6 <= not xpos;
s7 <= not xs1;
s8 <= not xs4;
end codigo;

```

Os blocos *facilitador\_moduladora.vhd* e *gerador\_24.vhd* presentes no diagrama apresentado, foram gerados a partir da livraria disponível no software que permite criar circuitos PLL's.

Parâmetros dos circuitos PLL's:

**gerador\_24:**

Selected device family: Cyclone IV E  
 Target device : EP4CE22F17C6  
 Speed grade : 6  
 Input frequency : 50 MHz  
 Create 'areset' checked  
 Create 'locked' output checked  
 Cutput frequency : 24 MHz (12/25 multiplication)  
 Duty cycle : 50%

**facilitador\_moduladora:**

Selected device family: Cyclone IV E  
 Target device : EP4CE22F17C6  
 Speed grade : 6  
 Input frequency : 24 MHz  
 Create 'areset' checked  
 Create 'locked' output checked  
 Cutput frequency : 57,6 MHz (12/5 multiplication)  
 Duty cycle : 50%